

## 論文の内容の要旨

### 論文題目 高速 CMOS 回路方式と最適化手法

氏名 山下 高廣

近年の大規模集積回路においては微細加工技術の進歩に伴い発熱の限界やトランジスタ耐電圧の問題により電源電圧が低下している。 $V_{dd}$  を下げるのみでは回路の速度が低下することになるので  $V_{dd}$  と  $V_{th}$  を同時に下げることが必要となる。しかし閾値を下げると MOS サブスレッショルドのリーク電流が増加し、 $I_{leak}$  によるスタティック消費電力が増大する。そのため  $V_{dd}$  に比例して  $V_{th}$  を下げることは現実的ではない。そのため従来型スタティック CMOS 回路は低い  $V_{dd}$  に対し不利な方式となってくる。これに対する回路方式としてパストランジスタ型回路が広く研究されている。パストランジスタ回路ではリーク電流の発生源となる電源から GND へ至るパスが CMOS 回路より少ないため、 $V_{th}$  を下げてもリーク電流の影響がより小さいと考えられる。

CPL のようなパストランジスタ回路は高速回路方式の一例である。CPL 回路では nMOS トランジスタで構成されたパストランジスタ回路の出力信号をインバータを用いて信号回復している。しかし極低電圧回路においては、インバータによる信号回復回路を持つ回路方式では立ち上がり時間の増大やリーク電流の発生という問題が生じる。また、インバータはその閾値を超えなければ出力に変化が起こらないので、低い電源電圧においては不利である。リーク電流を防ぐために pMOS トランジスタを使った DPL 回路もあるが、この方式では入力キャパシタンスが大きくなり遅延時間の改善が望めない。

信号回復回路としてメモリ回路に用いられるセンスアンプをパストランジスタ回路に適用した例も発表されている。センスアンプは大きく分けてクロックの必要なものとクロック不要のものがある。クロック不要なものは常に電流を消費する差動アンプを基本にしているが、これは電力消費の点で不利である。また、ネガティブインピーダンスとしてのセンスアンプは信号遷移の閾値があるため、信号伝達の動作が遅い。

クロックの必要なセンスアンプとして、例えばエッジトリガ型センスアンプを用いた場合には、定常電流は消費されない。しかし負荷容量が大きいことや、低電源電圧における低速動作が問題となる。

遅延時間を削減する新しい手法として本研究では、エッジトリガ型センスアンプをパストランジスタ回路に適用した回路を提案した。

## 1 ブースタを用いた CPL 回路

ブースタを用いた CPL 回路は、パストランジスタチェーンの中間段において、信号回復を行なう回路方式である。

パストランジスタを駆動すると、トランジスタのオン抵抗を通過しながら、配線容量が充電

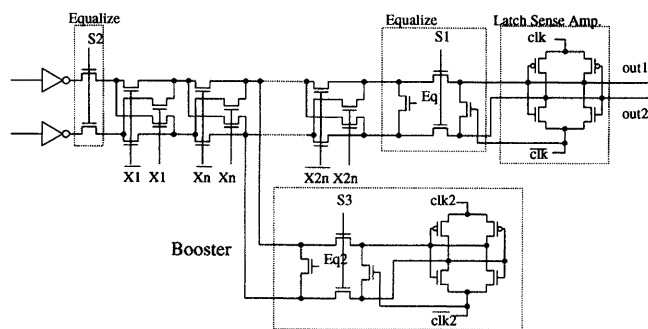


図 1: ブースタを用いた CPL 回路

されてゆく。これは入力端に近い方は早く充電されて電位が上がるのが早いですが、入力端から遠くなると電位が上昇するまでに時間がかかる。そこで中間の適当なノードにブースタを置き、ここにある程度電位差が生じた段階でこのノードをフルスイングさせる。これによって信号の伝達途中で信号振幅を回復し、信号伝搬にかかる時間を短縮させることを目的としている。

ここで述べた回路方式を実現するため、図 1 の回路を提案する。本回路は nMOS トランジスタによるパス論理回路と、中間ノードの信号回復を行なうためのブースタ回路、最終段のセンスアンプからなっている。端子 S 2 につながるトランジスタはイコライズ時のリーク電流を防止するためのカットオフトランジスタである。S1, S3 はセンスアンプが動作する時にパストランジスタから切り離すためのトランジスタである。

16bit 加算器に適用した例では、従来の CMOS と比べ 1.5V で約 2.5 倍の速度で動作した。動作速度を 250MHz と固定して比較すると、消費電力は約 2.8 分の一となった。ブースタ回路を駆動するタイミング信号を自動生成する回路を提案した。しきい値と電源電圧をそれぞれ 10% 変化させても動作した。

## 2 キャパシタ分離型パストランジスタ回路 (CSPL 回路)

パストランジスタとセンスアンプをキャパシタを用いて接続する回路方式を CSPL 回路 (Capacitor Separated Pass-transistor Logic) として提案した。

CSPL 回路とはセンスアンプとパストランジスタ回路をキャパシタで接続した図 2 の回路方式である。このキャパシタによりセンスアンプとパストランジスタの待機時の電位を切り離すことができるため、電源電圧とバイアスをパストランジスタ部とセンスアンプ部において独立に設定することができる。従来のキャパシタ分離されていない方式ではセンスアンプが動作する際にはパストランジスタも同時に駆動してしまうこととなるが、ここにキャパシタが入っていることにより、センスアンプから見た負荷は小さくなる。

パストランジスタを構成している nMOS トランジスタは、ゲートへの信号入力とドレイン (ソース) への信号入力がある。信号を伝達するのはドレイン電流であるから、遅延時間を短くするためにはゲート電圧 ( $V_{gs}$ ) を大きくしてドレイン電流 ( $I_d$ ) を大きくすることが必要である。ゲートに加える電圧 ( $V_g$ ) の上限は  $V_{dd}$  であるから、ソースの電位 ( $V_s$ ) を低く保つことによりパストランジスタ部の遅延時間は短縮される。ソース電位を低く保つため、パストランジスタの各ノードを演算ごとに Gnd レベルにディスチャージを行なう。これにより、直前の演



の電圧が供給されていれば、高速動作が可能であることを示した。電源電圧 0.5V においては、センスアンプのみ 1.0V の電圧を与えることで、CMOS 回路に比べ 2.1 倍の速度で動作した。

本回路の特徴であるオフセット電圧補正の性能を評価するため、センスアンプを構成するトランジスタに対し、オフセット電圧が最大となるように、トランジスタのゲート幅にばらつきを与えた。本回路は構成トランジスタにばらつきがある場合でもそれを自動修正し、動作を行なえることを確認した。

本回路のチップ試作を行ない動作検証を行なった。