

本論文は「高速 CMOS 回路方式と最適化手法」と題し、大規模集積回路の微細化の結果もたらされた低電源電圧制約下での新しい高速パストランジスタ論理回路方式について研究したもので、七章より構成されている。

第一章は序論であり研究の背景と研究の目的を述べている。従来の相補型パストランジスタ技術 (CPL) やその改良型についてその動作速度やリーク電流等の問題点を分析し、エッジトリガ型センスアンプを用いた新しい高速・低電源電圧向き回路方式の必要性を明らかにしている。

第二章は「ブースタを用いた CPL 回路」と題し、パストランジスタ部の論理信号伝搬経路上に信号振幅を回復するブースタを挿入した CPL 回路を提案している。これは nMOS トランジスタによるパストランジスタ部の中間段に信号振幅を回復するブースタ回路を挿入すること、パス全体の信号伝搬時間を短縮することを目的とし、最終段のエッジトリガ型センスアンプで出力を得ている。本方式を 16bit 加算器に適用した例を示し、従来の CMOS 論理回路に比較して、電源電圧が 1.5V で約 2.5 倍の動作速度が得られることを示している。また消費電力の点でも 250MHz の動作周波数において従来型 CMOS 論理回路に比較して約 3 分の 1 となることを示している。さらにトランジスタのしきい値と電源電圧ばらつきに対する特性劣化についても評価し 10% 程度の変動に対しても動作可能なことを示している。

第三章は「CSPL 回路：キャパシタ分離型パストランジスタ回路」と題し、論理を決定するパストランジスタ部と信号振幅を回復するセンスアンプ部とをキャパシタを用いて接続する回路方式 (CSPL: Capacitor Separated Pass-transistor Logic) を提案している。CSPL 回路ではセンスアンプ部とパストランジスタ部をキャパシタで直流的に遮断して待機時のバイアス電位を分離し、それぞれに最適な電源電圧とバイアス電位を独立に設定できることに特徴がある。またセンスアンプから見て負荷容量として機能するパストランジスタ部の容量が分離用キャパシタンスと直列になっているため、実効負荷容量が小さくなることで高速動作が期待できることを述べている。本回路方式を用いて 8bit パリティ発生回路を設計し回路シミュレーション評価を行なった結果、提案回路の遅延時間が電源電圧 3.3V において従来回路と比べ 20% 程度削減されることを示すとともに、CSPL 回路の特徴を活かし、センスアンプ部には電源電圧 3.3V を与えつつパストランジスタ部の電源電圧をさらに下げることで、1.5V において約 3 倍、1.2V においては約 4 倍の高速動作を実現できることを示している。さらに試作した 8bit パリティジェネレータ回路の実測結果からも CSPL 回路方式は従来の CMOS 回路より約 1.7 倍速く動作することを示している。

第四章は「CSPL 回路方式による 32bit 加算器の設計評価」と題し、CSPL 回路方式を用いて 32bit 加算器を設計試作した実験結果について述べている。実験結果はシミュレーション予測値よりも若干劣るものの従来型回路に比べて低電源電圧に有利性を保つことを述べている。ここではまたデバイスパラメータのばらつき耐性についても評価し、トランジスタしきい値のばらつきに対する速度劣化を検討している。しきい値ばらつきが $\pm 20\text{mV}$ 程度の場合、電源電圧 5V では遅延時間にしておよそ 20% 程度の遅延時間増加を見込めば確実に演算ができることを述べている。

第五章は「オフセット自己補償型センスアンプを用いた CSPL 回路」と題し、トランジスタのデバイスパラメータばらつきを自己補償する機能を持つセンスアンプ回路方式について提案している。センス

アンプを構成する二つのインバータを待機時に入出力短絡することで各インバータ論理しきい値を分離用キャパシタに記憶する方法であり、これによりトランジスタのデバイスパラメータばらつきの影響を緩和している。また本方式の回路実現例としてパリティ発生回路を設計しシミュレーション評価した結果、ゲート長が $0.1\mu\text{m}$ においても高速動作が可能であり、パストラジスタ部の電源電圧 0.5V でセンスアンプ部の電源電圧が 1.0V の場合、従来型 CMOS 回路に比べ 2.1 倍の速度で動作することを示している。さらに試作実験結果についても述べており本方式の有効性について述べている。

第六章は「CSPL 回路の解析による評価」と題し、本研究のシミュレーション評価結果の妥当性を検証するため、各回路方式について解析的手法により遅延時間の評価を行い、本研究での提案手法の有効性を述べている。

第七章は「結論」であり本論文の研究成果をまとめている。

以上、本論文は大規模集積回路の低電源電圧向き高速論理回路方式としてエッジトリガ型センスアンプを用いた新しいパストラジスタ回路方式を提案し、シミュレーションおよび試作評価実験によりその有効性を示したもので電子工学の発展に寄与する点が少なくない。

よって本論文は博士（工学）の学位請求論文として合格したものと認められる。