

論文の内容の要旨

論文題目 : 撮像面上で柔軟な読出し形態制御を行う
高機能イメージセンサの研究

氏名 : 大塚 康弘

CCD イメージセンサに見られるように通常のイメージセンサでは、画像情報は均一にサンプリングされた画素配列として与えられる。このため、現実の画像処理、画像計測では、仮りに一部のデータしか必要でない場合でもすべての画素情報を読出してから処理する必要がある、より高速な処理を目指す場合には処理速度のボトルネックの原因となっている。対象追尾などに見られるように、現実の応用では対象を見定めたあとはごく一部の画素情報で十分な場合も多い。その場合にセンサ側で出力情報を制御して、処理の対象部分のデータのみを出力したり、複数画素の情報を反映した平均値情報を出力して出力データ量を削減できれば、前記ボトルネックの解消に有効である。

本論文はこのような流れの中で、撮像面上に柔軟なサンプリング制御機能を搭載した高機能イメージセンサについて論ずる。本センサでは、撮像面上に各画素回路に対応するメモリ回路を搭載し、対応する画素値を読み出すか否かの情報を保持することにより、従来のランダムアクセスセンサのような1画素単位のアドレス指定を不要とし、高速な空間可変制御を実現している。

また、サンプリング制御センサでは、所望の画素のみを出力し、それ以外は間引いていたが、より有効な解像度制御を可能とすべく、多重解像度出力が可能な高機能イメージセンサについても論ずる。多重解像度イメージセンサでは、所定の画素ブロック内で平滑化を行い1の値を出力することができる。ブロックのサイズは4段階で外部から指定することが可能であり、各ブロックは互いにオーバーラップすることが可能で

ある。さらに本論文では、上記センサを用いた外部制御システムの構成についても検討する。

空間可変サンプリング制御イメージセンサ

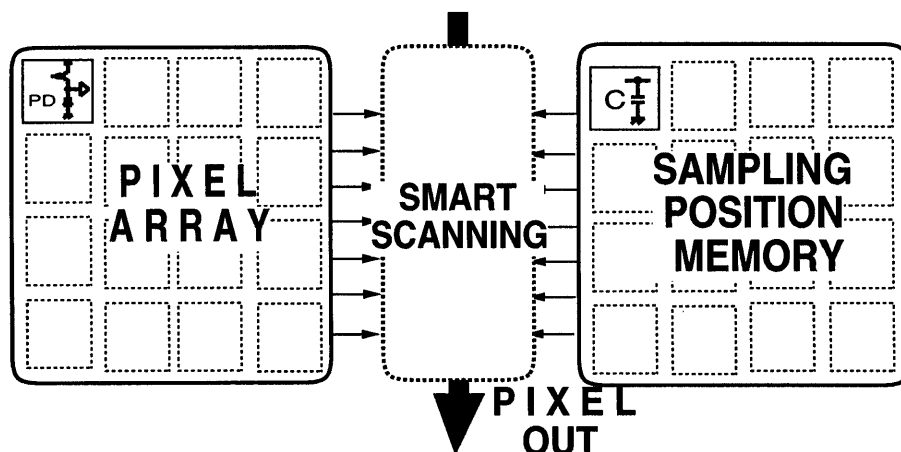


図 1: サンプリング制御方式の概念図
Concept of sampling control system.

本論文で提案する空間可変サンプリング制御方式の概念図を図 1 に示す。サンプリングポジションメモリのそれぞれのメモリは各画素に対応しており、対応する画素を読出すか否かという制御命令を 2 値情報で保持している。画素の読出しの際には、画素選択読出し用シフトレジスタを用い、その制御信号としてメモリー中の 2 値の制御命令を利用する。提案方式では、ランダムアクセスセンサのように読出す画素ごとにその座標指定をする必要がなく、高速読出しが可能となる。またサンプリングポジションメモリーは書換え可能であり、適宜読出しパターンを変更することができる。この概念図に示す構成を回路に変換し、*poly1* 層、*metal2* 層の 0.7 μ m CMOS プロセスで、プロトタイプチップの試作を行った。プロトタイプ的设计仕様を表 1 に示す。

表 1: プロトタイプ的设计仕様
Performance of the prototype of sampling control sensor.

number of pixels	64 × 64 pixels
die size(mm ²)	4.0 × 7.5
pixel size(um ²)	40 × 40
memory size(um ²)	40 × 45
number of tran.	3 trs. / pixel
	9 trs. / memory element
fill factor (%)	25 %
power dissipation	max 0.075mW / column
	max 5mW / chip
	Vdd=5V

図 2 にプロトタイプで撮像した出力画像の例を示す。撮像対象は千円札の夏目漱石の肖像画である。左か

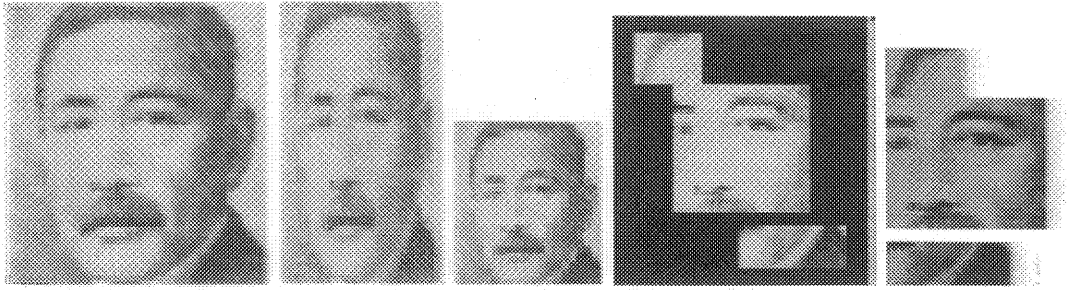


図 2: プロトタイプによる撮像例

ら順に、通常出力画像、1列おきにサブサンプルした画像、1行おきにサブサンプルして縦方向に圧縮した画像、ブロックアクセス出力画像、選択部分のみを出力したブロックアクセス画像である。図3は、図中央のフラグ信号に合わせて、任意にサンプリングした図左の画像再構成した画像である。

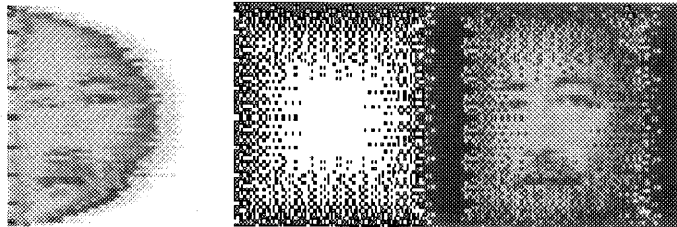


図 3: 網膜型サンプリング出力の再構成画像

以上のように、サンプリング制御センサは、画素情報の高速読み出し及び任意の粗密制御を可能とする。しかし、当該センサでは、選択されない画素は出力される事なく間引かれるため、その画素についての撮像自体が無駄になる。また、人間の網膜は中心部分が高解像度であり、周辺部分に行くに従ってサンプリングパターンが粗くなり解像度が低くなる。従って、サンプリング制御機構を更に有効とするためには、適切なフィルタリングを行う必要がある。そこで、画素を間引くだけでなく平滑化して解像度を段階的に変化させる多重解像度出力を可能とする構成を検討する。

多重解像度出力イメージセンサ

多重解像度出力イメージセンサでは、各画素の値を段階的に平滑化することにより、多重解像度出力を得る。平滑化は、スイッチトキャパシタ方式により、図4に示すような手法によって行う。ここでは、 3×3 のブロックについて、行選択された画素についてキャパシタへ画素値を読み出し、スイッチ動作により列の平均をとる。これを3行分行い、それぞれの平均を更にスイッチ動作により平滑化して、9画素の平均を求める。その後、求められた画素値を 3×3 画素のブロックの平均値として出力している。

この提案方式を回路的に実現し、プロトタイプを図5に示すように構成した。画素回路は、平滑化処理のために、二つのキャパシターを包含し、一方は1フレーム間画素値を保持し、もう一方は読み出し時の平滑化処理に利用される。ブロックサイズは、外部からブロックサイズの選択信号を3bit入力し決定する。ブロックサイズの選択のための回路は画素アレイの脇に配置された水平、垂直シフトレジスタに配置されている。

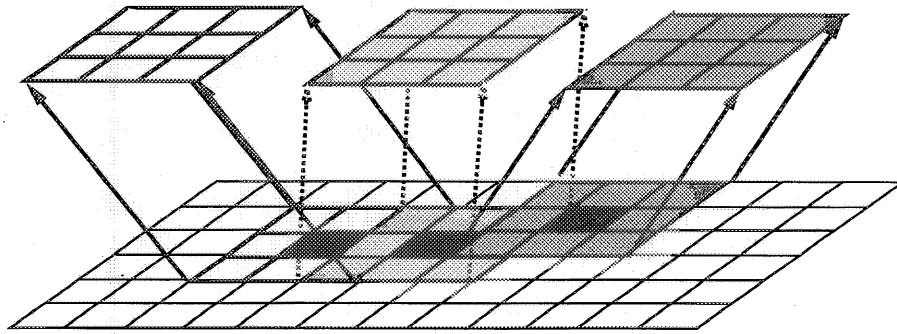


図 4: 提案方式

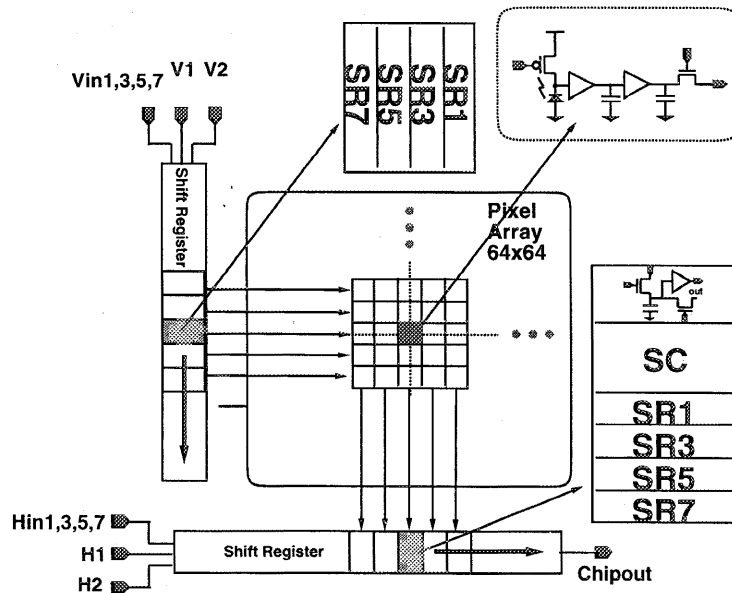


図 5: プロトタイプの全体構成

プロトタイプチップを用いた動作検証実験において取得した画像が図 6 に示すものである。図左端は平滑化を行わずに出力した画像，それ以外の三枚の画像は平滑化処理後出力したものであり，それぞれブロックサイズは左から順に 3×3 , 5×5 , 7×7 である。

図 7 は，網膜型出力画像を示す。図中の左側が通常出力となっており，右側が網膜型出力画像である。網膜型出力画像は，中心部分の 32×32 画素を平滑化を行わずに出力し，周辺部分について，その周囲 8 画素分を 3×3 のブロックサイズで平滑化し，さらにその周囲について 4 画素分ずつそれぞれ 5×5 及び 7×7 で平滑化した。ここで中心から周辺にかけて変化している様子が分る。

しかし，多重解像度イメージセンサの前記プロトタイプは，ランダムアクセス機構を備えていなかったため，ブロック単位の間引き処理ができなかった。そこで，ブロック単位の間引き処理を可能とする第二次プロトタイプを試作した。第二次試作に際し，以下の改良を施した。

- ランダムアクセス処理機能の追加

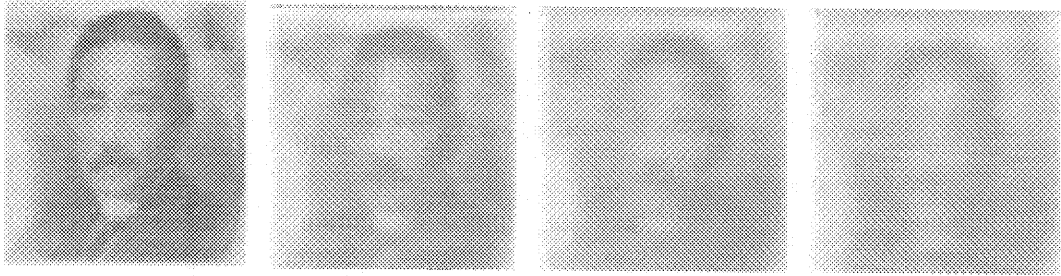


図 6: プロトタイプによる撮像例

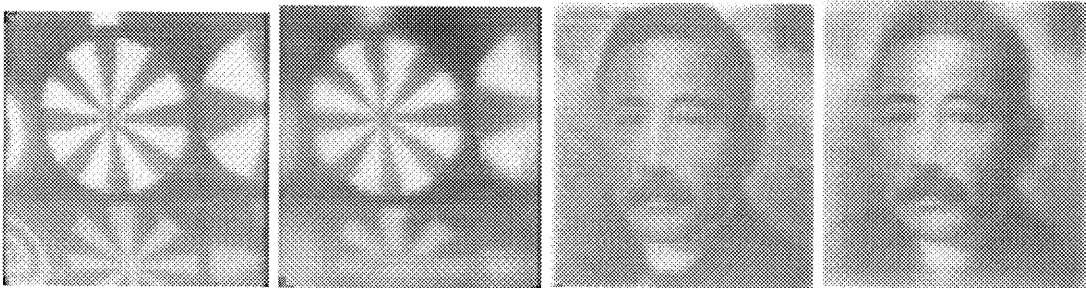


図 7: 網膜型出力画像

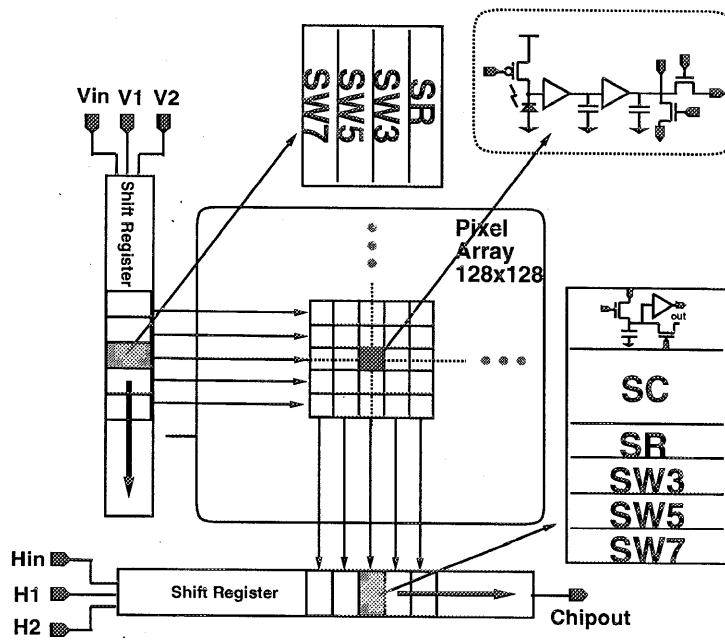


図 8: プロトタイプの全体構成

- 読み出しラインの配線容量に影響されない，画素回路構成の実現
- 多画素化

これにより，図 8 に示すような構成の回路を設計した．配線容量の影響は画素内に平滑化処理ラインを設けることで解決した．また，ランダムアクセス機能を追加するにともない，あらかじめ 1 ライン分の読み出し制御データを書き込む構成とした．さらに，ブロック選択信号の生成についても，シフトレジスタの制御信号 1 セット分で足りるように簡略化した．また，画素数は 128 画素 × 128 画素として 4 倍になった．

表 2: プロトタイプ的设计仕様の比較

画素数 [pixels]	64 × 64	128 × 128
チップサイズ [mm^2]	5.5 × 5.5	8.0 × 8.2.
画素サイズ [μm^2]	センサ部：60 × 60	50 × 50
Tr. 数	センサ部：9 trs. / pixel	11 trs. / pixel
開口率 [%]	14.5 %	13.5 %
電源電圧 [V]	5	5

さらに，多重解像度イメージセンサのプロトタイプを用いた画像処理ボードを検討中であり，これにより複数のプロトタイプを用いたセンサーネットワークが可能となる．また，試作ボードでは，平滑化ブロックサイズを動的に局所的に変更させた撮像を可能とする制御手法を検討している．

本論文では，主に以下の事項について論じた．

- 空間可変サンプリング制御を実現するイメージセンサを提案しこれを実現した．サンプリングポジションメモリ方式を採用し CMOS プロセスで試作した 64 × 64 画素のプロトタイプについて，その構成，回路設計等について述べた．動作検証実験により回路の有効性が確認された．
- 多重解像度イメージセンサの第一次，第二次プロトタイプについて，その実現方式を提案し，実際に試作を行った．試作チップの動作検証により，回路の有効性が確認された．