

論文の内容の要旨

論文題目 Functional Decomposition for LUT-based FPGA Synthesis
(LUT ベースの FPGA 論理合成のための関数分解法に関する研究)

氏 名 喬 健

関数分解は知識収集や、学習理論、信頼性理論、関係データベース及び VLSI デザインなど多くの分野に応用されている。特に LUT (Look-Up Table) ベースの FPGA のための論理合成では、実現しようとする論理ネットワークは必ず K -バウンド (均一 k 入力 LUT の場合) になるため、最近関数分解は重要な論理関数の簡単化の手段として FPGA のための論理合成に応用されてきた。

関数分解においてバウンド集合 (bound set 又は BS) の抽出とコンパチブルクラス (compatible class) のエンコーディングの二つの課題が重要である。BS 集合の抽出については、関数の論理数式の解析を基づいた抽出手法は何件発表されているが、全数探索に基づいたものが多く計算量が多い。関数の対称性と関数分解との関係を利用するバウンド集合の抽出手法が報告されていない。一方、コンパチブルクラスのエンコーディングについてベース関数の簡単化を目指すアプローチとエンコーディング関数の共有を着目する手法が提案された。しかし、これまでの提案手法は全部リジッド (Rigid) エンコーディングだけしか考慮されていないため、最適の関数分解とならない場合があり得る。そして、コンパチブルクラスのエンコーディングはとても複雑な問題なので、最適の関数分解を求めるためには、あらゆる自由度を探索しなければならない。

本論文では FPGA の実装の視点から、関数分解に当たってバウンド集合の抽出とコンパチブルクラスのエンコーディングの手法を提案し、パークレイ校で開発された SIS-1.2 のプログラムに実装し、MCNC91 ベンチマーク回路例の論理合成をし、提案手法の有効性を評価する。論理合成のターゲットは Xilinx 社 XC3000 シリーズ FPGA である。この種類の FPGA は均一 5-LUT の多出力 CLB から構築され、その CLB は 2 出力で、入力数が 5 より大きくない関数一つあるいは入力数が 4 より大きくない関数 (合計の入力数が 5 より大きくない) 二つを実現することができる。

関数分解にあたって、BS 集合が決まるとコンパチブルクラスの数も決まり、エンコーディングに必要であるエンコーディング関数の数もわかる。それで、有効な BS 集合の抽出手法は、最適の関数分解を求めることにとって重要な要素になる。面積最小の実現を狙うため、エンコーディング関数の数が小さいほどがいい。分解しようとする関数の論理値は互いに対称である変数のあらゆるパーミュテーション (permutation) に対し、変更しない特性があるので、これらの対称である変数を BS 集合にすれば、分解チャートの列パターンが少ない、必要なエンコーディング関数の数も最小になる (図 1)。この発想に基づいて本論文では分解しようとする論理関数の対称性解析に基づいた多段列挙手法 (Stepwise Enumerative Refinement) が提案され、有益な単純関数分解が求められるようになり、対称である変数の間の無駄な全域探索も排除され、複雑関数分解の場合でもコンパチブルクラス数の最小の関数分解が求められるようになった。ベンチマーク回路例の合成結果を図 2 に示した。

$X_a \setminus X_b$	u_0	u_i	u_j
v_0		1	1
v_1		0	0
⋮	⋮	⋮	⋮
		0	0

図 1、関数分解に対する関数対称性の影響

Benchmarks	HEU-EXACTRK [9][7]		ISODEC_S[11]		with_pliable		#P/#PO	
	#LUT/#CLB	#LUT/#CLB	#LUT/#CLB	#LUT/#CLB	#LUT/#CLB	#LUT/#CLB		
9symml	6	6	8	7	6	6	9	1
alu2	70	65	52	44	89	75	10	6
alu4	216	169	231	48	220	176	14	8
apex2	--	--	165	75	99	88	39	3
apex6	209	163	207	126	171	143	135	99
apex7	63	51	71	40	57	44	49	37
b9	36	29	41	--	38	32	41	21
clip	23	23	22	16	20	19	9	5
duke2	117	99	213	121	129	121	22	29
example2	--	--	139	63	102	68	85	66
frg1	--	--	40	--	30	29	28	3
i7	--	--	103	--	103	102	199	67
misex2	32	28	40	21	32	26	25	18
misex3c	--	--	152	--	135	110	14	14
rd64	13	12	12	10	12	10	8	4
sao2	27	27	22	21	22	21	10	4
too_large	--	--	165	--	133	108	38	3
vda	--	--	351	--	197	147	17	39
vg2	23	22	59	17	20	17	25	8
t481	--	--	--	--	5	5	16	1

図 2、BS 集合の抽出手法の実験結果

エンコーディングとは BS 集合が選ばれた上、分解問題に対し、 t 個の互いにコンパチブル許容分解関数を構築することである。多出力の CLB ターゲットに着目し、BS 集合の変数に部分依存する分解関数 (PDF: Partially Dependent Function) を 2 出力 CLB に二つ符合し、関数共有をする。PDF 関数の検出において今まで全数探索のものしかなかった。本論文では r -隣接グループ ($1 \leq r \leq 4$) の概念が導入され、それぞれのグループに対し探索ツリーが構造され、カスタマイズされるバックトラック (backtrack) 法により (図 3)、全て許容 PDF が有効に求められる。Backtrack 法は一般にサーチされるグラフのサイズに指数関数的で、実際のグラフのノード数によるものである。FPGA 向けの関数分解において、サーチグラフがツリーに簡単化できる。そして、BS 集合のサイズが 5 と小さく設定されるので、サーチベクトルのサイズも小さい。それに、PDF の検出条件は単調特性が良い、計算の量が大きいに削減されるようになる。

多出力 CLB での関数共有のため、単純に許容 PDF 関数を求めるより、お互いにコンパチブル許容 PDF 対が重要であり、一方 LUT をイメージ関数と共用できるサポート最小の PDF には意味がある。特に、単入力分解関数 (SVF: Single Variable Function) は別に LUT がいらな

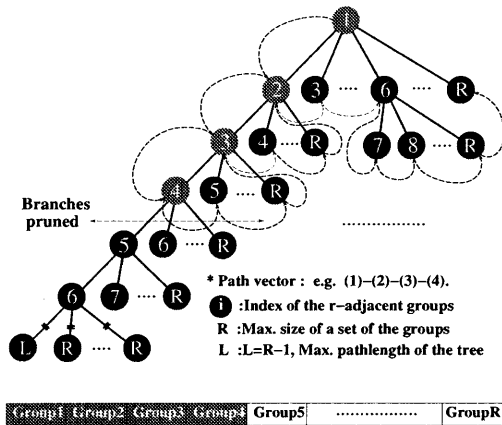


図3、Backtrack 法によりエンコーディング

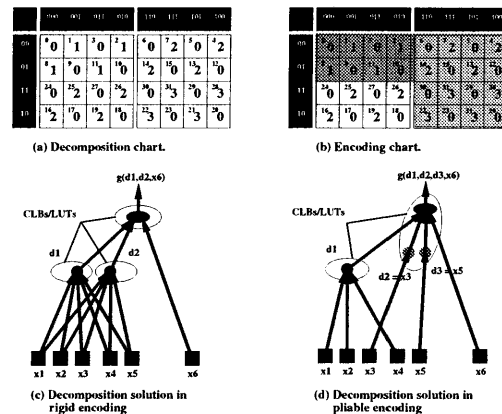


図4、最適関数分解の用例

いので、エンコーディングはSVF 支配的である。つまり、許容SVF によりほかの分解関数を抽出し、分解を求める。リジッド (rigid) エンコーディングは一般的である。しかし、ある場合にはリジッドエンコーディングにより有益な許容PDF がない。そして、イメージ関数 g の入力数が5より小さくて、一つの5-LUT に符合するには余裕がある場合、 t を増やし、プライブル (pliable) エンコーディングを導入することになる。そうすると、全てのPDF 関数は許容解になり、その中有益なお互いにコンパチブル許容PDF 組合せを選び出される。例えば、図4の例の中で、BS 集合 $\mathbf{x}_b = \{x_1, x_2, x_3, x_4, x_5\}$ の場合、コンパチブルクラスの数 は4であり、リジッドエンコーディングをすれば分解関数の数 $t = 2$ になり、有益な許容PDF がなくて3つのLUTが必要である(図4(c))。しかし、プライブルエンコーディングをすることにより(分解関数の数 $t = 3$ になる)、有益な許容SVF 対があったので、2つLUTで実現できる(図4(d))。そこで、プライブル (pliable) エンコーディング法により有益なNDD (Non-disjunctive Decomposition) がもっと多く求めるようになった。

プライブルエンコーディングの導入による膨大なPDF (特に4入力PDF の数が最大約167000である) を有効に処理するため、ビットワイズ (bit wise) オペレーション (一つの整数変数で一つの分解関数を表す) に基づいたPDF の検出、評価などの手法も考えられた。

提案手法はバークレイ校で開発されたSIS-1.2プログラムにC言語で実装された(図5)。評価のため、MCNC91の部分ベンチマーク回路に対し、論理合成をした。5-LUT回路の合成結果を図6に示す。提案アプローチ (*without_pliable* と *with_pliable*) は、LUT の数がそれぞれ33%と25%減少され、CLB の数がそれぞれ27%と21%減少され、本論文の提案手法により良い結果を求めることができるということが明らかになった。

本論文では、

1. 関数対称性に基づいたBS 集合の抽出手法の提案、実装、有効性の評価
2. プライブルエンコーディング理論の提出、検証

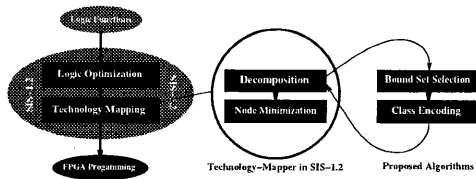


図5、SIS-1.2 プログラムへの実装

Benchmarks	SIS-1.2			without_pilable			with_pilable			#PI/#PO
	#LUT#level/sec/#CLB	#LUT#level/sec/#CLB	#LUT#level/sec/#CLB	#LUT#level/sec/#CLB	#LUT#level/sec/#CLB	#LUT#level/sec/#CLB	#LUT#level/sec/#CLB	#LUT#level/sec/#CLB		
9symml	7 3 0.4 7	6 3 18.7 6	6 3 18.7 6	9 1						
alu2	91 21 28.9 76	89 30 26.2 75	89 30 26.2 75	10 6						
alu4	296 39 198.4 243	237 25 690.4 216	220 22 1216.6 176	14 8						
apex2	198 16 301.3 168	109 13 768.0 98	99 11 1698.2 88	39 3						
apex6	232 20 10.5 189	172 7 281.2 144	171 7 628.6 143	135 99						
apex7	59 7 3.3 47	57 7 2.9 44	57 7 3.0 44	49 37						
b9	52 5 2.8 42	39 5 39.8 34	38 3 525.6 32	41 21						
clj	36 5 2.6 29	22 3 40.5 21	20 3 144 19	9 5						
duke2	149 8 6.3 137	133 8 780.5 125	129 7 1838.6 121	22 29						
example2	129 7 13.6 106	107 5 10.4 84	102 6 296.8 68	85 66						
frgl	39 14 10.4 38	32 7 29.6 31	30 8 169.6 29	28 3						
i7	183 2 6.4 102	183 2 13.2 102	183 2 14.8 102	199 67						
misc2	49 3 1.4 41	34 4 68.8 30	32 5 1348.6 24	25 18						
misc2c	260 11 18.3 216	143 9 126.0 134	135 10 1628.0 110	14 14						
rd84	13 3 1.2 13	12 3 16.6 11	12 3 466.8 10	8 4						
sao2	52 5 2.0 51	23 5 56.8 22	22 3 201.8 21	10 4						
too_large	184 31 568.9 166	138 11 305.5 114	133 11 1265.6 108	38 3						
vda	260 11 18.9 156	206 10 286.6 156	197 9 510.8 147	17 39						
vg2	27 6 1.8 25	21 6 6.2 19	20 6 46.2 17	25 8						
t481	14 4 8.5 13	5 3 26.8 5	5 3 26.9 5	16 1						
Total(LUT/CLB)	2250 / 1865	1688 / 1471	1517 / 1347	793 / 36						

図6、エンコーディング手法の実験結果

3. 最適エンコーディング手法の提案、実装、有効性の評価

が行われた。

これらの成果を通じ、今後の電子システム設計（FPGAで実装）、FPGAのための論理合成の高能・低コスト化への指針が示すことができた結論づけられる。多出力関数分解及びアルゴリズム有効性の改善が今後の課題である。