

審査の結果の要旨

論文提出者氏名 喬 健

本論文は「Functional Decomposition for LUT-based FPGA Synthesis (LUT ベースの FPGA 論理合成のための関数分解法に関する研究)」と題し、チップ製造後に用途に応じて回路構成をプログラムすることができるフィールドプログラマブルゲートアレイ (FPGA) を対象として自動論理合成するための関数分解手法について研究したもので、英文で記述され七章より構成されている。

第一章は序論 (Introduction) であり研究の背景と研究の目的を述べている。本研究で用いる変数集合のバウンドセットの概念と論理合成手法であるコンパチブルクラスエンコーディングについて述べ、本論文の構成について述べている。

第二章は「背景 (Background)」と題し、本研究で用いている基本概念についてレビューしている。ここでは二進判断木 (BDD) と論理合成への応用、等値類の計算機での取り扱い、ルックアップテーブル (LUT) に基づく FPGA の論理合成の特殊性について述べ、本論文で提案する手法を説明するための数学的準備を行っている。

第三章は「関数分解法 (Functional Decomposition)」と題し、本研究で提案している関数分解法の基礎理論について述べている。BDD を用いた関数分解法および多出力関数分解法について説明し、次章以降で提案する新しい関数分解法の位置づけを明確にするため大域的コンパチブルクラスエンコーディングと計算量の問題に言及している。

第四章は「変数集合選択 (Bound Set Selection)」と題し、関数の対称性に着目して関数分解に用いる変数集合を効率的に求める手法について提案評価している。米国カリフォルニア大学バークレー校が公開している論理合成システム SIS の中に独自手続きとして組み込み、ベンチマーク回路 MCNC91 に適用することで本手法が有効であることを具体的に実証している。

第五章は「コンパチブルクラスエンコーディング (Compatible Class Encoding)」と題し、該当する関数分解に用いる変数集合の部分集合を変数とする分解関数 (PDF) を探索する複数の方式について検討し、最終的にはより探索範囲の広いプライアブルエンコーディングの必要性を述べている。この結果、従来よりも膨大な探索空間について最適分解関数を求める必要が生じるが、これを効率的に処理する手法についても言及している。

第六章は「アルゴリズムの実装と実験結果 (Implementation of Our Algorithm and Results)」と題し、具体的に本研究で提案の手法を第四章でも用いた SIS システムの中に独自手続きとして組み込み、ベンチマーク回路 MCNC91 に対し 5 入力 LUT をターゲットとして論理合成実験を行い、計算時間の増大と引き換えに、従来方式より約 30%ほど LUT 数を削減できることを示している。

第七章は「結論」であり本論文の研究成果をまとめている。

以上、本論文はフィールドプログラマブルゲートアレイ (FPGA) を対象として自動論理合成するための関数分解手法について研究し、そこで用いる論理変数 (バウンドセット) の選択手法と許容分解関数の探索空間を広げるための具体的手法を提案し、ベンチマーク回路を用いた論理合成実験によりその有効性を示したもので電子工学の発展に寄与する点が少なくない。

よって本論文は博士 (工学) の学位請求論文として合格したものと認められる。