

## 論文の内容の要旨

論文題目: VLSIのための高速・低消費電力符号化データ伝送方式の研究

氏名 小松 聡

### 1 研究の背景

近年、CMOSプロセスの微細加工技術は年々進歩しており、そのペースは3年で0.63倍程度でゲート長が小さくなっている。それに伴い、大規模で高速な大規模集積回路 (VLSI) が実現可能となってきており、そのペースは動作速度で毎年25%、チップ面積で毎年10%程度大きくなっている。そのような状況の中で、市場からのVLSIに対する要求は、「小面積 (低コスト)」、「高性能」そして「低消費電力」という三点に重点を置きながら製品開発などが行われている。そのような状況の中で、一方ではVLSIにおけるデータ伝送がシステム性能のボトルネックとなり、また、他方ではデータ伝送がシステム全体の消費電力の大きな部分を占めているため、VLSIにおけるデータ伝送はシステム開発、設計において非常に重要な部分を占めている。

本論文ではデータ符号化を用いた大規模集積回路におけるデータ伝送での高速化・低消費電力化を実現する手法について論じる。データ伝送での低消費電力化については、バスが非常に大きな負荷容量を持つことに着目し、その信号遷移頻度を削減することで、システム全体の消費電力を削減するデータ符号化アルゴリズムを提案し、その評価を行う。また、データ伝送の高スループット化に関しては、伝送するデータを圧縮することによって、実効的なスループットを向上させる手法について、制約の大きいハードウェアに適した符号化アルゴリズムを提案し、その評価を行う。

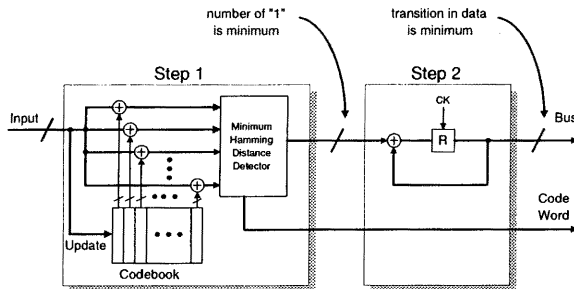


図 1: 適応型コード帳符号化方式の符号化手法

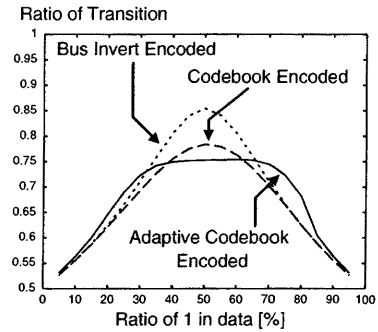


図 2: ランダムデータに対する適応型コード帳符号化の信号遷移頻度削減率(バス幅 16 ビット、コード帳サイズ 16)

## 2 適応型コード帳符号化方式による低消費電力化手法

データ伝送における低消費電力化のために、データの信号遷移頻度を削減することを目的とした適応型コード帳符号化方式(図1)を提案し、その評価を行った。本方式では、符号化の際に過去に伝送したデータを保持しているコード帳を参照するため、他方式と比較してより効果的に信号遷移頻度を削減可能である。計算機シミュレーションの結果、本手法によりデータの信号遷移頻度を 25-50% 程度削減可能であることを示した(図2)。また、各符号化方式について確率論的な観点から平均信号遷移数を示した。

## 3 適応型コード帳符号化の回路設計と評価

前章で提案、評価した適応型コード帳符号化方式について、その回路設計と評価を行った。CMOS0.5 $\mu\text{m}$  テクノロジーにおいて、フルカスタム手法で符号化/復号化回路の設計を行い、試作、測定を行った。その結果から、本符号化方式が有効となるような条件を求めた。

また、CMOS0.6 $\mu\text{m}$  テクノロジーにおいて、セルベース手法で符号化/復号化回路の設計を行い、回路シミュレーションによって評価を行った。その結果をもとに、各設計規則における各符号化方式での消費電力削減効果を示し、また各設計規則における最適なデータ符号化方式を示した(図3、図4)。

## 4 配線間結合容量を考慮した適応型コード帳符号化方式への拡張

前節までの適応型コード帳符号化を含め、従来の低消費電力データ符号化方式ではバス配線間の結合容量を無視しているが、今後のディープサブミクロン技術においては、配線間結合容量が相対的に大きくなるため、これを考慮する必要がある。本節では、適応型コード帳符号化方式を配線間結合容量を考慮した符号化方式へと拡張する。

配線間結合容量を考慮したバス配線における消費電力モデルを示し、それをもとにバス配線-基板間容量と配線間結合容量との比  $\lambda$  を導入し、実効的な信号遷移頻度を削減する適応型コード帳符号化方式を提案し(図5)、計算機シミュレーションにより実効信号遷移頻度削減率

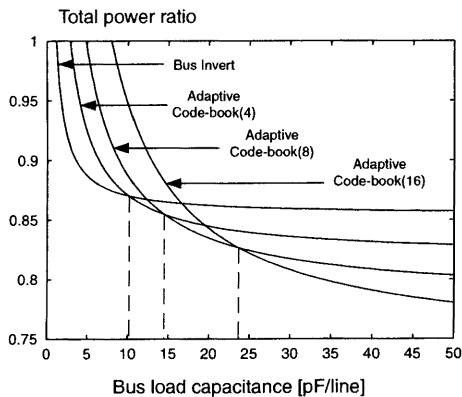


図 3: 0.05 $\mu\text{m}$  テクノロジーにおける消費電力削減効果

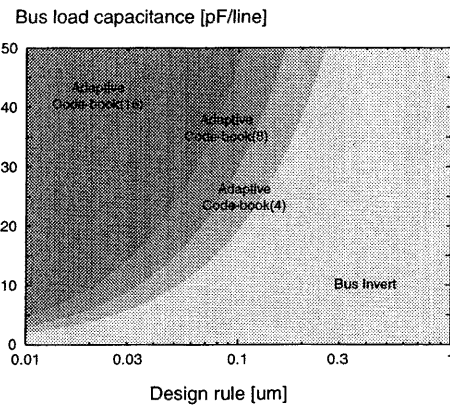


図 4: 各設計規則とバスの負荷容量 (1bit あたり) における最適なデータ符号化方式

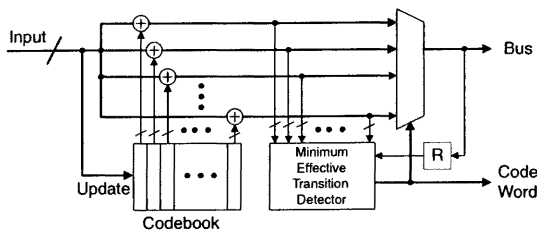


図 5: 配線間結合容量を考慮した適応型コード帳符号化方式の符号化手法

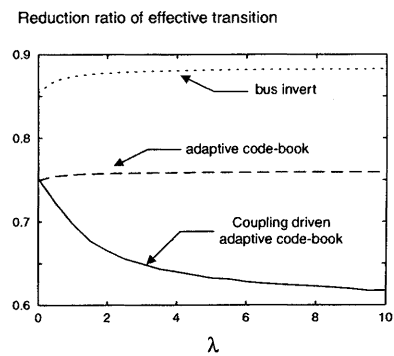


図 6: 各符号化方式での実効信号遷移頻度の削減率 (バス幅 16 ビット、コード帳サイズ 16、 $\lambda$  は配線 - 基板間容量と配線間結合容量との比)

の評価を行った (図 6)。また、セルベース設計による符号化 / 復号化回路の設計、回路シミュレーションにより評価を行い、各設計規則での本方式の実効信号遷移頻度削減率を示した。

## 5 データ圧縮符号化による高スループットデータ伝送方式

チップ間データ伝送における実効的なスループット向上のために、大規模集積回路への実装に適した Lempel-Ziv78 (LZ78) ベースの圧縮符号化方式を提案した。

本符号化方式では、過去の伝送データ列を辞書として登録し、それらの中で最も長く一致するもののインデックスを伝送することにより、データサイズを小さくする。計算機シミュレーションにより、本符号化方式での最適なパラメータを決定し、また、ランダムデータに対して理論限界であるエントロピー近くまでデータサイズを圧縮できることを示した (図 7)。

また、実際に大規模集積回路への適用性を評価するために、各種のデータ (ビットマップデータ、テキストデータ、アプリケーション等) に対する圧縮性能の評価を行い、本手法の有効性を示した (図 8)。以上の結果より、提案符号化方式が大規模集積回路において、データ伝送の高速化のために非常に有効な手法であることを明らかにした。

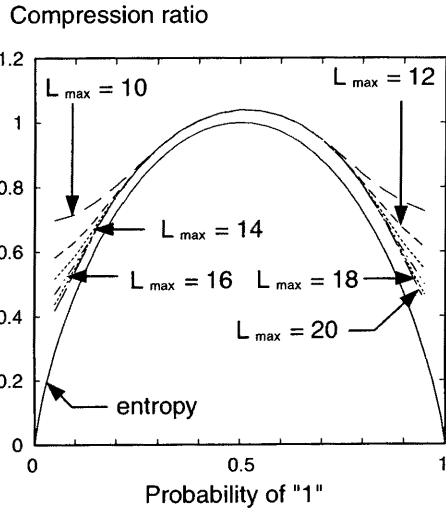


図 7: 記憶のない2元情報源データに対する圧縮率(最大一致長  $L_{max}$  = 10, 12, 14, 16, 18, 20、最大辞書サイズ 256)

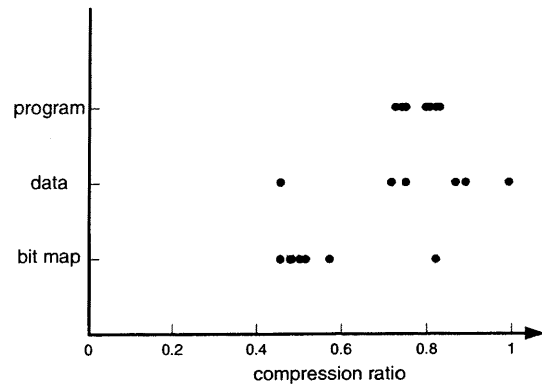


図 8: 各アプリケーションでの圧縮率 (program: 実行形式のファイル、data: テキストファイル、WORD ファイル等、bitmap: ビットマップ画像)

## 6 高スループットデータ伝送のためのデータ圧縮符号化回路の設計と評価

前節で提案、評価を行った圧縮符号化手法について、回路構成を示し、RTL 記述からの自動設計を行い回路シミュレーションによる評価を行った。他手法との比較の結果、本方式ではより少ないトランジスタ数で符号化回路が構成できることが示された。また、符号化/復号化回路の消費電力に関しては提案手法の回路では他手法と比較して数倍大きくなってしまったが、これに関しては、両者の設計手法がフルカスタム設計とセルベース設計と異っており、本符号化方式をフルカスタム手法で設計を行えば、同等程度の消費電力で実現できると考えられる。また、CMOS0.35 $\mu$ m テクノロジーでのチップ試作を行い、回路評価を行った。

## 7 結論

本論文では、

1. データ伝送での信号遷移頻度を削減する適応型コード帳符号化方式の提案、評価
2. 適応型コード帳符号化方式の回路設計・評価と最適符号化方式の選定
3. 配線間結合容量を考慮した適応型コード帳符号化方式への拡張と評価
4. チップ間データ伝送のスループット向上のための圧縮符号化手法の提案、評価
5. 圧縮符号化手法の回路設計、評価を通じて他手法に対する有効性の評価

が行われた。

これらの成果を通じて、今後の大規模集積回路を設計でのデータ伝送の低消費電力化・高速化への指針が示すことができた結論づけられる。