

論文の内容の要旨

論文題目 超並列アーキテクチャを用いたデジタルビジョンチップの研究

氏名 小室 孝

ビジョンチップとは、センサと並列処理要素(PE)を一体化し、1チップ上に収めたデバイスである。このようなデバイスは、従来のセンサと処理装置が分離したシステムに比べ、小型・軽量・低消費電力であるだけでなく、センサからの膨大な画像情報を処理装置に送信する際のシリアル伝送によるI/Oボトルネックを回避することができ、ビデオレートをはるかに超える視覚処理が可能となる。

さまざまな環境に柔軟に適応し、低次の処理から高次の処理まで単独で実現する高度なシステムを構築するためには、より汎用性の高いビジョンチップが必要となる。そのためには、デジタル回路によるプロセッシングエレメントを採用するのが有効であると思われる。本論文では、そのようなビジョンチップをデジタルビジョンチップと呼ぶ。

デジタルビジョンチップを設計するに当たり、従来のコンピュータ設計と設計要求が全く異なることから、高集積化に向けてどのような設計手法が有効であるかを各要素についてそれぞれ検討を行った。また、微細化プロセスを導入した場合についての考察も行った。

デジタルビジョンチップの最初の設計例として、汎用のデジタルビジョンチップについて、アーキテクチャの設計とチップ試作を行った。先に検討した設計手法に加え、新たな演算・制御方式の導入により、シンプルなアーキテクチャを実現した。また、微細化プロセスを用いて高集積化を図ったチップの試作も行った。図1にアーキテクチャと試作チップを示す。

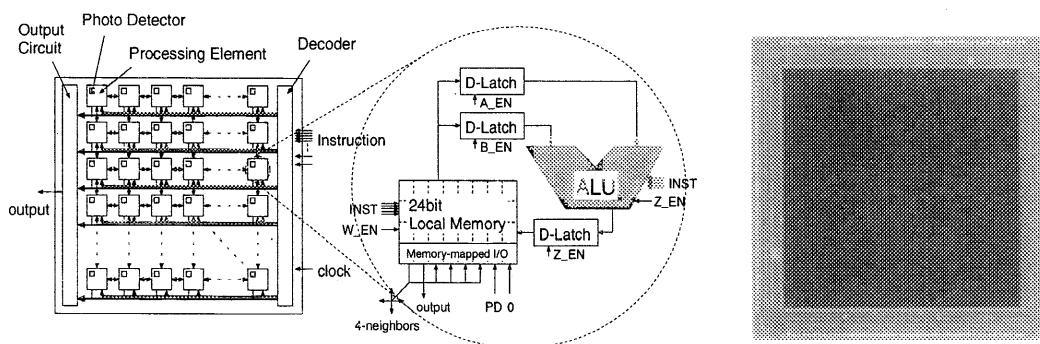


図1 汎用デジタルビジョンチップのアーキテクチャ(左)と試作チップ(右)

さらに、これまでのデジタルビジョンチップには欠けていた、特徴量演算を行う機能を実現するために、新たにモーメント抽出回路の提案を行った。本回路を用いて 0 次、1 次、2 次モーメントを高速に計算できることから、本回路が十分実用に耐えうる性能を持っていることがわかる。また、本回路が VLSI 実装に向いていることから、デジタルビジョンチップに搭載するのに適しているといえる。

上記のモーメント抽出回路と、高速ビジョンの特徴を活かしたアルゴリズムのハードウェア実装により、特定用途ではあるが高画素を指向したデジタルビジョンチップのアーキテクチャを設計した。本チップを用いて複数物体のトラッキングなどのアルゴリズムが実装可能であることが示された。また、民間企業との共同研究で試作チップを開発した。図 2 にアーキテクチャと試作チップを示す。

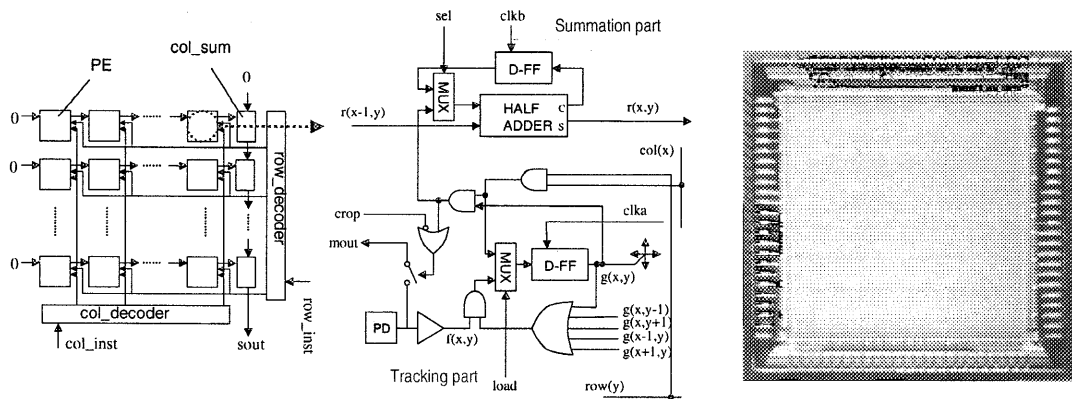


図 2 特定用途高画素ビジョンチップのアーキテクチャ(左)と試作チップ(右)

先に述べた汎用ビジョンチップに欠けていた要素を検討し、それらを克服するための改良アーキテクチャを提案した。同アーキテクチャで新たに追加された各種の機能がビジョンチップで実現できるアルゴリズムを幅を大きく広げることになった。また、本チップは多彩な機能を持つにもかかわらず、非常に少ない回路素子数および小さい回路面積で実現されている。

最後にこれらの提案したデジタルビジョンチップについて、他のビジョンチップやビジョンシステムと比較することで、それらのチップの位置づけを行い、優位性を示した。本論文で述べたデジタルビジョンチップが光インターコネクションを用いた階層型並列処理などといった新たな研究分野にも応用可能であると考えられる。

表 1 試作チップのスペック一覧

	S ² PE	TTC	E ² SPE
プロセス	CMOS 0.35 μm TLM	CMOS 0.6 μm DLM	CMOS 0.35 μm TLM
画素数	64 × 64	64 × 64	64 × 64
回路素子数	401	84	331
チップ面積	8.7 × 8.7 mm ²	9.8 × 9.8 mm ²	5.0 × 5.0 mm ²
画素面積	105 × 105 μm ²	105 × 105 μm ²	105 × 105 μm ²
最大クロック周波数	-	> 100MHz	> 100MHz