

論文の内容の要旨

論文題目 複数パス実行を実現する大規模データベース・アーキテクチャ

氏名 辻 秀典

1971年に4004が誕生して以来、マイクロプロセッサの歴史はすでに四半世紀を越える。この間、マイクロプロセッサの性能向上は留まるところを知らず、計算機の性能向上とダウンサイジングに大きく貢献した。これが、PCに代表される汎用小型計算機の大幅な性能向上をもたらし、パーソナル分野を含め、計算機を社会に浸透させる結果となった。しかしながら、現在の計算機の性能が社会の要求に correspond しているとは言いがたい。なぜなら、さまざまなデータを扱うマルチメディア処理ひとつをとっても、現在の計算機では要求性能を満たすに至らないからである。そして、将来、高速ネットワークの普及とともに、さまざまなメディアが計算機に統合されると予想されるため、計算機の性能に対する要求はとどまらないといえる。この計算機への性能の要求は、その中心構成要素であるマイクロプロセッサへの要求でもある。

マイクロプロセッサの性能向上は、アーキテクチャ技術と半導体プロセス技術によって支えられてきた。半導体プロセス技術の進歩によって、より高い集積度が実現され、スイッチング速度の向上とともに、より多くのトランジスタが利用可能となってきた。これが、さまざまな新しいアーキテクチャ技術の投入を可能とする。その結果、近年の高性能マイクロプロセッサ・アーキテクチャの主流といえるスーパースカラ・アーキテクチャにおいては、分岐予測による投機実行、動的スケジューリング、レジスタリネーミング、アウト

オブオーダ実行、メモリ依存予測等、さまざまなアーキテクチャ技術が実装されている。

半導体プロセス技術に関しては、3年間でトランジスタ数の集積度が4倍になるという Moore の法則が依然として成り立っている。今後もほぼ同様のペースで半導体プロセス技術が進歩することは、米国半導体工業会によっても具体的な数値が予想されており、Moore の法則が単なるトレンド予測に過ぎないといえども、将来にわたってその予測は成り立つと考えられている。

それに対して、アーキテクチャ技術の将来は必ずしも明るいとはいえない状況にある。現在のマイクロプロセッサの主流アーキテクチャであるスーパースカラは、半導体技術の進歩とともに、性能向上のための機構が旧来の方式にアドホックに追加されてきた結果であるため、機構の複雑さが問題となりつつある。そのため、将来的にプロセス技術の進歩が提供するトランジスタ資源を性能向上のために有効に活用できない。また、スーパースカラの構造の複雑さを改善すると考えられている VLIW (Very Long Instruction Word) アーキテクチャについては、単純化が可能な構造が、組み込み用などの小型化、設計時間の短縮という点では成功をおさめつつあるものの、スーパースカラを越える高性能化という点での成功は未だ成しえていない。

スーパースカラの限界は、すなわち単一スレッドかつ単一パスの投機処理による並列性利用の限界である。しかしながら、以前より命令列中の並列性利用に関する議論は多く行なわれており、スーパースカラにおいて実現されていない、複数の制御流を対象とした並列性利用が有効なことは知られている。近年、この点に注目し、複数の制御流を並列処理するアーキテクチャが盛んに研究されている。その中でも特に、既存のスーパースカラもしくは VLIW を要素プロセッサとし、チップ上に複数の要素プロセッサを配置することで、複数のスレッドを対象として複数の制御流を並列処理する CMP (Chip Multi-Processor) アーキテクチャが注目されている。これは、従来の並列処理において性能上のボトルネックであった通信などの問題が、チップ上に集積されることによって緩和され性能向上が望めるだけでなく、要素プロセッサの複雑性を上げることなく半導体資源を活用できるという利点を持つ。

しかしながら、CMP は要素プロセッサにおける細粒度並列処理と、要素プロセッサの並列化による中粒度～粗粒度並列処理によって、より多くの並列性を利用するための複合技術であり、要素プロセッサあたりの性能を改善するアーキテクチャではない。また、従来の並列処理の問題を改善する一方で、従来の並列処理と同様の性質も持ち合わせており、単純な大規模並列による性能向上を得ることは難しい。これは、要素プロセッサにおける細粒度の並列性利用と、要素プロセッサの並列化による中粒度～粗粒度の並列性利用のバラ

ンスが重要であることを意味する。確かに、現在の半導体プロセス技術を前提としたハードウェア資源を仮定したときには、既存のアーキテクチャを要素プロセッサとする並列化でそのバランスは保たれる。しかし、今後より多くのハードウェア資源が提供されたときには、既存のアーキテクチャを要素プロセッサとする大規模並列化ではバランスが保てず、要素プロセッサの高性能化が必要不可欠である。

このような時代的、社会的背景をふまえて、単体のマイクロプロセッサの性能向上の限界にブレークスルーをもたらすとともに、CMP に代表される複合技術を長期的観点で支えるためには、スーパースカラや VLIW を越える細粒度並列アーキテクチャが必須である。本研究は、そのような要求を満たすべく、積極的な細粒度並列性の利用により性能向上をもたらす、大規模データパス (VLDP: Very Large Data Path) ・アーキテクチャを提案し、それとともに、実現可能性を示すためのアーキテクチャの詳細部分の提案を行った。

VLDP アーキテクチャは、従来のアーキテクチャにおける問題を解決し、次の要求を満たすアーキテクチャである。

大規模な半導体資源の活用

ハードウェアの構造が半導体資源の投入による性能向上を妨げない

積極的な命令レベル並列性の利用

命令間の依存性をもたらす制約の解消、命令ウィンドウサイズの拡大などによる命令レベル並列性抽出能力の大幅な向上

VLDP アーキテクチャは、高い命令処理スループットとピーク性能を実現するために、命令ブロックと呼ぶ新たな処理単位を導入し、従来よりもはるかに大きな幅の命令処理を行なう。また、分岐予測性能の限界と、分岐予測ミスペナルティの増大を改善するために、分岐命令がもたらす影響を最小限に抑える複数パス実行を導入する。従来より、複数パス実行に関する研究は多く行われているが、これらの研究は、複数パス実行における命令フェッチの戦略の議論にとどまっており、複数パス実行を実現するアーキテクチャの提案は行なわれていない。そこで、本論文では VLDP アーキテクチャを複数パス実行を実現するアーキテクチャとして提案した。

VLDP アーキテクチャ研究の最終的な目標は、アーキテクチャの有効性を示すことにある。アーキテクチャの有効性を示すためには、詳細なシミュレータを実装することによって、性能評価を行わなければならない。しかしながら、アーキテクチャの基本提案と、詳細なシミュレータの実装には、大きな隔たりが存在する。本研究は、その隔たりを埋める研究と位置付けられ、VLDP アーキテクチャにおいて核となる技術、命令ブロックの導

入と複数パス実行の実現について提案するとともに、VLDP シミュレータを実装するために不可欠となる VLDP アーキテクチャの各機構の詳細な提案を行なった。

さらに、命令ブロックが処理される様子を、パイプライン動作をトレースすることにより確認した。そして、サンプルプログラムを使った VLDP の小規模な評価を行うとともに、並列性利用と命令処理スループットに関する考察を行なった。

本研究により、VLDP アーキテクチャがより現実的になったことを確認できた。