

審査の結果の要旨

論文提出者氏名 辻 秀典

本論文は、「複数パス実行を実現する大規模データパス・アーキテクチャ」と題し、8章と付録からなる。情報社会の発展に伴い、コンピュータシステムに対する性能要求はまだまだ止まるところを知らない。それは従来、主としてシリコンデバイスの細線化技術によるクロック速度の向上や、スーパスカラ技術による命令レベル並列技術を用いた高速マイクロプロセッサの開発として実現されてきた。この論文は、アーキテクチャの工夫によるマイクロプロセッサの更なる高速化手法について論じたものである。

第1章「序論」は、研究の背景、目的を述べるとともに、本論文の構成についてまとめたものである。

第2章「マイクロプロセッサの動向」は、マイクロプロセッサの性能向上について、半導体プロセス技術とアーキテクチャ技術の観点からその動向をまとめたものであり、半導体技術については、今後10年間のロードマップを引用し、アーキテクチャ技術については、スーパスカラ技術、VLIW技術、コードモーフィング技術、マルチメディア技術、省電力技術などについてまとめている。

第3章「次世代アーキテクチャ技術」は、並列性を利用したアーキテクチャ技術についてより詳細に調べたもので、まず、スーパスカラ技術は、構造的な複雑性により1クロックで処理可能な命令数 Instructions Per Cycle (IPC)を、これ以上向上させることは難しいことを述べ、次にそれを解決するための並列性の利用技術として、分岐予測を用いた投機的実行、制御依存関係の正確な解析、複数の制御流の同時実行、更にスレッドレベル並列処理などの詳細について論じ、特に単一プロセッサ上のスレッドレベル並列処理として Simultaneous Multi-Threading 方式を、複数プロセッサで並列処理を行うものとして Chip Multi-Processor を挙げ、その特性を論じるとともに、これらの問題点を指摘している。すなわち、SMTは、現在のスーパスカラと同程度の規模において利点を持つものの、機構の複雑さにより、大規模なハードウェア資源活用には難しいこと、CMPは、ハードウェア規模のスケラビリティが高いが、単純にプロセッサエレメントを増やしても性能向上は難しく、また、一つのプロセッサ内の細粒度命令レベル並列処理を改善するには役立たないことを挙げている。

第4章「命令処理における制約の解消」は、並列性抽出における制約として、制御依存とデータ依存を取り上げ、それらの制約を解消するために従来までに提案されている様々な手法をまとめている。

第5章「大規模データパス・アーキテクチャの提案」は、本論文で提案する複数パス実行を実現するアーキテクチャとして、大規模データパス (Very Large Data Path) アーキテクチャを提案したもので、10年後に利用可能となる大規模なトランジスタ数を有効利用

し、プロセッサ単体での高性能化を目指した方式である。まず、制御依存性がもたらす制約を解消するために複数パス実行を導入し、その必要とする高いフェッチスループットを維持し複数の命令を同時処理するために、最大 32 の命令列からなる命令ブロックを導入している。命令ブロック内各命令の出力は対応する 32 個の物理レジスタに収められ、論理レジスタを介することなく同一命令ブロック内の他命令が利用でき、高速化を図ることができるが、論理レジスタへのアクセスはデータ同期情報として命令ブロックに付随している。この章では、そのような命令ブロックの生成方式、命令ブロックの高速アクセスのためのストリーミング法について述べるとともに、複数パス実行の実現方式として、実行パスを識別し管理する機構、レジスタアクセス管理、メモリアクセス管理などについて論じている。

第 6 章「大規模データパス・アーキテクチャの実現」は、第 5 章で述べたアーキテクチャを実現するための詳細な構造について述べたもので、Control Section(CS), Execution Section(ES), Memory Access Section(MS)の 3 つに分かれる。CS は、命令のフェッチと制御依存性の管理を行う部分で、ES は命令の実行に関する全てを扱う部分で複数の実行ユニットからなり、それぞれのユニット内のレジスタファイルは分散レジスタファイルとして制御される。MS は、ES に対して仮想化したメモリアクセスを提供する部分で、メモリアクセス制御を実行ユニットから切り離す機能を持つが、複数のアクセス要求をバッファリングするとともに、メモリ依存関係を解決する。

第 7 章「性能に関する考察」は、提案しているアーキテクチャを 3 つの観点から評価したものである。まず、サンプルプログラムをパイプライン処理した場合の、クロック毎の状況を分析した結果、IPC が 8 程度になること示し、次に、命令ウインドサイズを変えた場合のリタイア命令数を評価し、ウインドサイズが 256 の場合の IPC は 7.67 となること、更に命令スループットを考察し、実行 IPC が 8 以上となるためには、平均有効命令率が 40% 以上となる必要があるが、サンプルプログラムでは、平均 60% を越えることを示している。第 8 章は「結論」である。

以上、これを要するに本論文は、大規模なトランジスタ資源を利用して高性能なマイクロプロセッサを実現するアーキテクチャとして大規模データパス方式を提案し、その詳細な構造を与え評価することによってその可能性を示したもので、情報工学上貢献するところ少なくない。

よって、本論文は、博士（工学）の学位請求論文として合格と認められる。