

論文の内容の要旨

論文題目 高速通信用システム LSI の高性能化に向けた回路技術に関する研究

氏 名 上 田 公 大

高速通信システムは、光ファイバー伝送用の高速データと信号処理用の低速データとの直並列変換を行うインタフェース LSI 部、及び通信制御や符号変換を行うロジック LSI 部等から構成されている。半導体微細加工技術の進展により、これら複数の LSI をワンチップに集積するシステム LSI の実現が可能になってきているが、高速通信システムの集積化には、半導体デバイス技術面からのいくつかの実現方法がある。その一つは、Bipolar トランジスタの高速性能と CMOS トランジスタの小面積／低電力性能を合わせ持つ BiCMOS 素子による集積化である。インタフェース部を Bipolar 回路、ロジック部を CMOS/BiCMOS 回路で構成することによって高速通信システム LSI の実現が可能になり、筆者らが研究を開始した 1990 年代初期には、本構成による 700Mbps 動作のシステム LSI が開発されていた。しかしながら、通信トラヒックの増大とともにギガ・ビットを越える高い伝送速度で動作するシステム LSI への要求は強くなり、それを実現するための課題として、ギガ・ビット動作のインタフェース部の低電力化やインタフェース部の高速化に対応したロジック部の高速化が指摘されていた。高速通信システム LSI を実現するための別のデバイスとしては、SOI (Silicon On Insulator) -CMOS 素子

がある。通常の bulk-CMOS 素子に比べて寄生容量が小さく高速で動作し、1990 年代初期にはギガ・ビットで動作する分周器や PLL 回路が開発されていた。しかしながら、通信システムのインタフェース部に適した SOI-CMOS 回路の開発については研究途上の段階であり、また、高負荷容量の駆動に関しては SOI-CMOS 素子の bulk-CMOS 素子に対する速度メリットが小さく、この点がロジック部を構成する場合の課題として指摘されていた。このような背景のもと、筆者らは、BiCMOS 素子及び SOI-CMOS 素子による高速通信システム LSI の性能を向上するための回路技術に関する研究を行った。

BiCMOS システム LSI のインタフェース部に関しては、インタフェース部を構成するマルチプレクサとデマルチプレクサの低電力型回路構成を提案した。新規マルチプレクサは、ハードウェアの少ないシリーズゲート方式を基本にして構成し、内部クロック信号の工夫により、データ変換部を 2 段のシリーズゲート型セクタ回路で実現できるようにした。このため、3 段のシリーズゲート型回路を必要としていた従来のシリーズゲート方式と比べて低電圧化が可能になり、また、従来のシフトレジスタ方式と比べた場合には、約 35% のハードウェアの削減が可能になった。他方、新規デマルチプレクサは、内部クロック信号の工夫によって、データ変換部をフリップフロップ回路とラッチ回路で構成できるようにした。このため、フリップフロップ回路を 2 段以上接続して構成していた従来のシフトレジスタ方式と比べて、約 20% のハードウェアの削減が可能になった。さらに、マルチプレクサとデマルチプレクサの要素回路であるフリップフロップ回路の最適化設計を行った。高速化を図るために、マスタ部は両相信号を出力する構成にし、論理振幅をスレーブ部の 1/2 に設定した。また、マスタ部の負荷容量はスレーブ部に比べて小さいため、マスタ部の電流をスレーブ部より小さく設定した。提案した回路構成と最適化設計により、8-bit マルチプレクサと 8-bit デマルチプレクサを $0.5\mu\text{m}$ Bipolar 素子により試作した。マルチプレクサは 3.0Gbps で動作し、消費電力は 272mW であった。また、デマルチプレクサは 4.1Gbps で動作し、消費電力は 388mW であった。これは、2.5Gbps の通信規格で動作する従来のマルチプレクサとデマルチプレクサの中で最も低電力であり、同一速度で約 65% 消費電力が小さい。

BiCMOS システム LSI のロジック部に関しては、高負荷容量駆動用ドライバ回路として、電源電圧と温度の変動に対して安定に動作するアクティブプルダウン型ゲートを提案した。新規ゲートはカレントスイッチ、レベルシフタ、エミッタホロワ、フィードバックスイッチから構成され、従来のアクティブプルダウン型ゲートのようにキャパシタ素子等の特別な素子を必要としない。 $0.35\mu\text{m}$ Bipolar 素子のパラメータを用いた回路シミュレーションにより、電圧と温度の変動に対する回路性能の安定性を評価した。従来のアクティブプルダウン型ゲートでは、電源電圧-2.9V、温度-35℃のときの遅延時間は、電源電圧-3.3V、温度 25℃のときに比べて 136%劣化する。これに対して、新規ゲートでは、遅延時間の劣化は 39%と小さい。さらに、通常の ECL ゲートと新規アクティブプルダウン型ゲートの速度性能を比較した。負荷容量が 0.4pF で消費電力が 2.54mW のとき、新規アクティブプルダウン型ゲートは 179ps で動作し、260ps で動作する ECL ゲートより 31%速い。負荷容量の増加とともに新規ゲー

トのメリットは大きくなり、0.8pFではECLゲートに比べて50%高速に動作する。

SOI-CMOSシステムLSIのインタフェース部に関しては、マルチプレクサとデマルチプレクサの構成要素であるフリップフロップ回路について、高速・低電力型回路構成を提案した。また、フリップフロップ回路等を駆動するバッファ回路について、相補信号出力間の位相差を低減できる回路構成を提案した。新規フリップフロップ回路では、バストランジスタ論理をNMOSトランジスタのみで構成し、データ保持ループにクロスカップル接続したPMOSトランジスタを接続する。本構成では、クロックバッファ回路が駆動するゲート容量を従来回路に比べて約40%低減できる。0.35 μ m SOI-CMOS素子のパラメータを用いた回路シュミレーションでは、新規回路は電源電圧2.0Vで3.0GHzで動作し、2.3GHzで動作する従来回路に比べて30%高速に動作する。他方、新規バッファ回路は、ソースホロワによって信号遅延を調節する方式で、ソースホロワ出力をフルスイングさせるためにインバータゲートを出力に付加する。回路シュミレーションでは、電源電圧2.0Vのとき、新規バッファ回路の相補信号出力間の遅延は18psであり、100psの従来回路に比べて82%小さくできる。0.35 μ m SOI-CMOS素子により、提案したフリップフロップ回路とバッファ回路を用いて4-bitデマルチプレクサを試作した。デマルチプレクサは、電源電圧が2.0Vで1.6Gbpsの高速で動作する。bulk-CMOS素子によるデマルチプレクサと比べて23%速く、動作速度で規格化した消費電力は17%小さい。

SOI-CMOSシステムLSIのロジック部に関しては、高負荷容量駆動用ドライバ回路として、幅広い電圧範囲で動作するボディ電圧制御型ゲートを提案した。新規ゲートは、通常のゲートにボディ電圧制御用の4つのトランジスタを付加して構成される。トランジスタのサイズ調整によってボディ電圧を制御できる構成のため、PN接合のビルトイン電圧以上の電源電圧でも使用できる。また、ボディ領域の余剰キャリアはトランジスタのオン抵抗を介して引き抜かれるため、高周波での動作も可能である。0.35 μ m SOI-CMOS素子のパラメータを用いた回路シュミレーションにより、各種ゲートの遅延時間と消費電力を評価した。電源電圧が1.0Vで負荷容量が60pFの場合、新規ボディ電圧制御型ゲートは、通常のSOI-CMOSゲートに対して27%高速に動作し、bulk-CMOSゲートに対しては40%高速に動作する。高負荷駆動時の消費電力は負荷容量の充放電電流によって支配されるため、消費電力は3種類のゲートでほぼ同じになる。

高速通信システムLSIのロジック部として、非同期伝送モード対応の物理レイヤ処理部をbulk-CMOS素子とSOI-CMOS素子で試作し、Bipolar素子とSOI-CMOS素子によるインタフェース部の試作結果と併せて、BiCMOSシステムLSIとSOI-CMOSシステムLSIの性能比較を行った。BiCMOSシステムLSIはSOI-CMOSシステムLSIに比べて、より高い伝送速度の通信規格に適しており、インタフェース部の動作速度よりもロジック部の回路規模を優先する場合には、SOI-CMOSシステムLSIのメリットが大きくなる。さらに、高負荷容量駆動用ドライバ回路をロジック部に適用した場合の性能向上について検討し、本研究を通して実現可能な高速通信システムLSIを明らかにした。その結果、0.5 μ mエミッタ幅と0.35 μ mゲート長を持つBiCMOS素子を用いて、2.5Gbps(STS-48/OC-48)の通信

規格に対応したシステム LSI (デマルチプレクサ+130KG ロジック) を約 780mW の低電力で実現できる見通しを得た。また、0.35 μ m SOI-CMOS 素子により、1.2Gbps (STS-24/OC-24) の高速通信システム LSI (デマルチプレクサ+130KG ロジック) を約 210mW の低電力で実現できる見通しを得た。

なお、本論文では、ロジック部の高速化を目的として行ったパストラランジスタ型 BiCMOS ゲートに関する研究内容を付録として付記している。