

論文の内容の要旨

論文題目 DRAM高集積化回路技術に関する研究
 —低電力化と欠陥救済技術—

氏 名 堀 口 真 志

ダイナミックランダムアクセスメモリ (DRAM) は、メモリセル構造が単純であるという特徴ゆえに、半導体メモリの中でも特に高集積化・低価格化に適している。1970年に1kビットのDRAMが登場して以来、その記憶容量はほぼ3年で4倍のペースで向上してきた。DRAMは、半導体技術の開発を牽引し、ビット単価の低下と応用範囲の拡大をもたらし、各種エレクトロニクス機器の小型化、高機能化、低価格化に多大の貢献をしてきた。

本論文では、このDRAMの高集積化を支えてきた各種回路技術について論ずる。これらの回路技術は、回路規模の増大や素子の微細化によって顕在化する問題を解決してきたと言える。言い換えれば、デバイスの微細化（いわゆるMOSトランジスタのスケーリング則）によっては改善されない項目について、回路的な面から解決策を提供してきたと言える。

最初に、DRAM発展の歴史を踏まえ、それを支えてきた回路技術について概観する。回路技術としては、まず微細な1トランジスタ形メモリセルからの微小

な読み出し信号を検出するための高S/N化技術が重要である。次に、低消費電力設計が高集積化のための重要課題である。DRAMの大容量化に伴う回路規模の増大と、アクセス時間短縮のための回路動作の高速化は、必然的に消費電力の増加をもたらすからである。低消費電力化技術として特に重要なのは低電圧化である。さらに、低コスト化・高信頼化といった性能向上に直結はしないが製品化のためには重要な技術がある。低コスト化のなかでも最も重要なのは、歩留りを向上させて製造コストを低減するための欠陥救済である。

次に、これらの回路技術の中で、本論文で取り上げる技術の位置付けを明らかにする。すなわち、動作時の低消費電力化および微細素子の高信頼化のための技術としてのオンチップ降圧方式、待機時の低消費電力化技術としてのサブスレッショルド電流低減回路、低コスト化技術としての欠陥救済である。電圧リミッタ回路を用いたオンチップ降圧方式は、内部回路の低動作電圧化と外部電源電圧の互換性を両立させる有力な方法である。サブスレッショルド電流低減回路は、低電圧化に伴って顕在化するMOSトランジスタのサブスレッショルド特性によるリーク電流の問題を回路的に解決する手段である。欠陥救済技術は歩留まりを向上させ、製造コストを低減するための効果的な手法である。

以下、各論に入り、まずオンチップ降圧方式を実現するための電圧リミッタ回路（降圧回路）について詳細に論じる。

まず、高集積DRAMにおけるオンチップ降圧方式の必要性と課題について考察する。オンチップ降圧方式は、電源電圧の標準化、電池動作対応、および高性能化設計の点で重要な技術である。課題としては、電流供給能力、電圧の安定性、回路の安定性、バーンイン対応があげられる。次に16MビットDRAMについて、電圧リミッタ回路を含むオンチップ電源回路によって内部電源電圧を精度よく発生するための回路方式を提案する。内部電圧発生方法の検討を行い、電圧リミッタ回路の基本的な設計を行う。レーシング防止のための基準電圧切り換え回路と、PMOS負荷の差動増幅器を用いたドライバ回路を設計する。設計した回路を、 $0.6\mu\text{m}$ 技術を用いた16MビットCMOS DRAM実験チップに実装し、評価して、電圧リミッタ回路の基本特性を確認する。

次に、電圧リミッタ回路の電圧ばらつきと交流的な特性について検討する。

オンチップ降圧方式を実用化するためには、内部電源電圧が外部電源電圧や温度の変化、さらには製造プロセスのばらつきに対して安定でなければならず、電圧リミッタ回路自体の動作も安定でなければならない。これらの要求に応える方法として、しきい電圧差方式基準電圧発生回路、トリミング回路、および安定化ドライバ回路から成るDRAM用電圧リミッタ回路を提案する。基準電圧発生回路とトリミング回路により、電源電圧、基板電圧、温度、およびプロセスばらつきに対して安定な電圧が得られることを示す。ドライバ回路には、DRAMの動作と共に負荷の大きさが時間的に変化してもフィードバックループの安定性を保つために、位相補償回路を付加する。これにより、周波数帯域を保ちながら、位相余裕 55° を確保できる。提案した回路を16MビットCMOS DRAMに実装し、その動作を確認する。外部電源電圧、温度、およびプロセスばらつきによる直流的な電圧の変動は、トリミングにより最大 $\pm 6.5\%$ 以内に抑えられる。また、交流的な電圧変動量は、外部電源電圧の変動時には $\pm 3\%$ 、DRAMの動作時には $\pm 10\%$ 以内であり、DRAM用の電源としては十分な安定度である。

さらに、電圧リミッタ回路をバーンイン対応にする方法について検討する。バーンインを可能にするためには、電圧リミッタ回路は、バーンイン時には通常動作時よりも高い電圧を精度よく発生できるようにしなければならない。これを実現する方法を検討し、二重レギュレータ・二重トリマ方式を提案する。この方式は、レギュレータとトリマとをそれぞれ2個有する。1組は通常動作電圧発生用、もう1組はバーンイン電圧発生用である。これにより、通常動作時の定電圧性を保ちながら、バーンインに必要なストレス電圧を精度よく発生することができる。バーンイン時には、内部電源電圧を外部電源電圧を基準に安定化するのが特徴である。電圧のばらつきは、2個のトリマにより、バーンイン時、通常動作時ともに、 $\pm 130\text{mV}$ 以内に抑えることができる。提案した回路を16MビットCMOS DRAMに適用して評価し、外部電源電圧を上昇させることにより、所望のバーンイン電圧が得られることを確認する。

次に、サブスレッショルド電流低減回路による待機時消費電力の低減について述べる。低電圧化は低消費電力化の有効な手段であるが、動作電圧を下げな

がら回路の動作速度を維持・向上させるためには、MOSトランジスタのしきい電圧もそれに比例して下げる必要がある。しかし、しきい電圧を下げると、サブスレッショルド特性によるリーク電流が増大し、これによる待機時消費電力の増加が深刻な問題になる。サブスレッショルド電流を回路的に低減する方法として、待機時にサブスレッショルド領域にあるMOSトランジスタのソースに変換インピーダンスを挿入する方法を提案する。この方法の応用について議論し、待機時における回路中の各ノードのレベルがあらかじめ予測できるように工夫することにより、組合せ回路にも順序回路にも適用できることを示す。回路シミュレーションによってこの方法の効果を確かめ、16GビットDRAMの場合、待機時のサブスレッショルド電流を1.1 Aから0.29 mAまで低減できることを示す。提案した方式を256MビットシンクロナスDRAMに適用し、待機時のサブスレッショルド電流を1.29 mAから0.24 mAまで低減した結果を報告する。

次に、欠陥救済方式について述べる。従来の欠陥救済方式では、メモリの高集積化とともに、予備線数増加によるチップ面積の増大、および予備線の不良による歩留りの低下という問題が顕著になることを明らかにする。これは、必要な予備線数の増加とアレー分割数の増加という2つのトレンドのためである。これらの問題を解決するため、可変選択方式と称する新しい欠陥救済方式を提案する。この方式の特徴は、不良線を置換えるための予備線と、不良のあるアドレスを記憶するためのアドレス比較回路との関係を、従来は固定されていたのに対して、可変にすることにある。これにより、予備線とアドレス比較回路双方の使用効率を向上せしめ、チップ面積の増加率を抑え、あわせて歩留り改善効果を高めることができる。歩留り改善効果を見積り、64Mビット以上のDRAMの量産初期においては、提案した方式は従来方式の2倍以上の歩留りを実現できることを示す。この方式をさらに改良する方法として、アドレス比較回路にドントケア値をプログラムできるようにして、グローバルな不良を効率良く修復できる方式を提案する。

最後に、以上の検討結果をふまえ、DRAMの高集積化を支えてきたオンチップ降圧方式、サブスレッショルド電流低減技術、および欠陥救済技術の今後の展望について考察する。