

審査の結果の要旨

論文提出者氏名 堀口 真志

本論文は、「DRAM 高集積化回路技術に関する研究 -低電力化と欠陥救済技術-」と題し、9章からなる。DRAM は、メモリセル構造が単純であるので高集積化に適し、エレクトロニクス機器の小型化、高機能化、低価格化に多大の貢献をしてきた。この高集積化は、半導体のデバイス技術・プロセス技術に負うところが大きい、同時に回路技術によることも多大である。本論文は、その回路技術について、特に低消費電力化のために重要な低電圧化を実現するための回路技術と、低コスト化技術としての欠陥救済技術について論じたものである。

第1章「序論」は、DRAM を巡る技術の発展をまとめるとともに、本論文の目的と構成について述べたものである。

第2章「DRAM 高集積化の回路技術課題」は、DRAM を大容量化する際に顕在化する技術課題として、高 S/N 化、高信頼化、低コスト化、低消費電力化を取り上げ、それらを解決するために開発されてきた回路技術について概観し、その中で本論文で取り上げる技術の位置付けを明らかにしている。

第3章「DRAM 電圧リミッタ回路の基本設計」は、電源電圧の標準化、電池駆動からの要請、チップの高性能化などを目的として、外部電源よりも低い電圧をチップ上で発生させることが行われるが、その中心回路である電圧リミッタ回路の構成法について考察したもので、内部電源電圧を精度良く発生させるため、基準電圧発生回路で発生した電圧をもとに、複数個のドライバ回路で内部電源電圧を発生させる方式を提案し、それを16M ビット DRAM チップに搭載して評価している。その結果、内部電源電圧の外部電源電圧依存性0.5%、電圧回復時間30nsとなり、十分優れた特性を持つことを示している。

第4章「DRAM リミッタ回路の安定化」は、内部電源電圧の安定性、電圧リミッタ回路自体の安定性を満たす回路を考察したものであるが、実用化のためには前章で述べた基本特性の他にこれらを考慮することが重要であるのかかわらず、従来これらは考慮されてこなかった。本章では、これらの要請に答えるために、MOS トランジスタの閾値電圧差を利用した基準電圧発生回路、基準電圧のプロセスばらつきを補償するためのトリミング回路、位相補償回路を付加したドライバ回路、からなる方式を新たに提案している。更にこの回路を16M ビット DRAM に適用して評価した結果、基準電圧発生回路とトリミング回路により、電源電圧、基板電圧、温度、およびプロセスばらつきに対して安定な電圧が得られるとともに、位相補償回路を付加したドライバ回路によって周波数帯域を保ちながら、位相余裕 55° を確保しており、回路の安定性の目安である 45° を上回って十分な値であることを示している。

第5章「バーンイン対応電圧リミッタ回路」は、チップ出荷後の初期不良率低減のために

行われる過負荷操作であるバーンインを可能ならしめるための工夫について述べたものである。バーンインは内部回路に通常動作時よりも高い電圧を印加することで行うが、それを可能ならしめるためには、電圧リミッタ回路が、バーンイン時に通常動作時よりも高い電圧を精度良く発生できることが必要で、従来、その考慮がなされていなかった。本章では、レギュレータとトリマを2個ずつ設け、通常動作用と、バーンイン用に各一組を用い、トリマにはデコード方式を用いる回路を提案しており、DRAMに適用評価した結果、通常動作時の低電圧性を保ちながら、バーンインに必要なストレス電圧を精度良く発生することができ、電圧のばらつきを、両動作時ともに $\pm 130\text{mV}$ 以内に抑えることができることを示している。

第6章「サブスレッショルド電流低減による待機時消費電力の低減」は、動作電圧を下げるために行うMOSトランジスタの閾値電圧の低電圧化が、待機時リーク電流を増やすという問題に対処するために考案した、可変ソースインピーダンス法について述べたもので、この方式は、MOSトランジスタのソースに可変インピーダンスを挿入することにより、動作時の速度劣化を最小限に抑えながら、待機時のサブスレッショルド電流を大幅に低減できる効果を持っている。この章では、本手法を高集積DRAMに適用した場合の待機時消費電流低減効果を予測して、16GビットDRAMでは、1.1Aから0.29mAに低減できることを示すとともに、256MビットSDRAMに適用した結果も与えている。

第7章「可変選択欠陥救済方式」は、従来から歩留まり向上対策として取られて来た不良メモリセルと予備メモリセルとの置き換え手法が、更なる高集積化に伴って、置き換えの単位である複数セルを接続する線数の増大を生み、予備線自体の不良を考慮する必要性を招くという問題を考察し、これを解決する新しい欠陥救済手法として可変選択方式を提案したものである。これは、予備線と、不良アドレスを記憶するためのアドレス比較回路との関係を可変にしたもので、それにより、予備線とアドレス比較回路双方の使用効率を高め歩留まりを改善することができる。歩留まり改善効果を見積もった結果、64Mビット以上のDRAMの量産初期においては、従来方式に比して2倍以上の歩留まりを実現できることを示している。

第8章「今後の展望」は、前章までに述べてきた技術の、その後の発展と今後の展望について考察したものである。

第9章は「結論」である。

以上、これを要するに本論分は、DRAMの高集積化を可能にするための回路技術について考察し、電圧リミッタ回路の構成法、安定化手法、バーンイン手法、待機時電流低減手法、欠陥救済手法などを具体的に提案して評価したもので、実用にも供された優れた技術を与えており電子工学上貢献するところ少なくない。

よって、本論文は、博士（工学）の学位請求論文として合格と認められる。