

論文の内容の要旨

論文題目 Pixel Structures and On-Focal-Plane Signal Processing for High Performance CMOS Active Pixel Image Sensors

(高性能 CMOS イメージセンサの画素構造と
オンチップ信号処理)

氏名 中村 淳一

CMOS (Complementary Metal Oxide Semiconductor) イメージセンサはオンチップに信号処理回路や駆動回路を集積化することができ、単一電源駆動が可能かつ低消費電力という特長から携帯用機器への応用開発が活発化している。しかし、デジタルスティルカメラや科学計測用途のような空間的高分解能、低雑音を要求される応用に対しては、通常用いられている画素構造では原理的に発生するリセット雑音のため、低雑音を誇る CCD (Charge Coupled Device) イメージセンサのレベルに到達する事は不可能である。

しかし、CMOS イメージセンサの雑音レベルが、CCD イメージセンサと同等のレベルまで低減された時には、上記の優れた特長のため CCD イメージセンサに置き換わり、画像入力デバイスの主流になるものと期待される。

本論文では、高精細、高感度な CCD イメージセンサの性能レベルに迫る CMOS イメージセンサを実現するための基礎検討を行う。まず、画素レベルの検討を行い、各画素に信号増幅トランジスタを持ついわゆるアクティブピクセルセンサを採用する事によりもたらされる利点を整理する。そして、リセット雑音を発生させない、あるいはリセット雑音が発生しても後段のオンチップ信号処理回路にてそれを抑圧できる画素により、CCD イメージセンサよりも低い雑音レベルを実現できる事を示す。

次に、信号処理回路をオンチップに集積化可能という CMOS イメージセンサの特長を積極的に利用して高感度/低雑音を実現するため、画素毎の増幅器の特性ばらつきを抑圧する固定パターン雑音抑圧回路、高分解能 A/D 変換回路を検討した。固定パターン雑音抑圧回路により画素毎にばらつくオフセット成分を除去し信号成分のみを抽出する。ただちにその狭帯域なアナログ信号をデジタル信号に変換し、後段での S/N の劣化を抑えるアーキテクチャを想定した。

具体的には、電荷リセットを完全電荷転送モードで行いリセット雑音を発生させないことを狙った画素構造について検討した。まず、従来提案されてきたフローティングゲート検出型画素に比べ、構造的に簡単で、そのため、画素の微細化に適した Simple Floating Gate (SFG)画素を提案し、実験的にその動作を確認した。また、その特性評価、解析から、改良すべき点を抽出し、新たに Improved Simple Floating Gate (ISFG)画素を提案、2層ポリ、3層メタル 2 μm CMOS プロセスを用いた試作画素において 雑音電荷数 20 電子を得た。この値からスケールリングにより 0.35 μm CMOS プロセスを用いた場合、数電子の入力換算雑音電子数が予測され、CCD イメージセンサ (雑音電荷数 10 ~ 20 電子) より低雑音のイメージセンサ実現の見通しが得られた。

固定パターン雑音抑圧回路、高分解能 A/D 変換回路は、広い意味で増幅型 CMOS イメージセンサのひとつである電荷変調デバイス (Charge Modulation Device: CMD) イメージセンサ用に検討された。高精細 (1024 \times 1024 画素以上)、高分解能 (11-16 ビット) の科学計測用デジタル出力イメージセンサの実現を想定した。CMD イメージセンサは電流出力であるため、固定パターン雑音抑圧回路、高分解能 A/D 変換回路とも電流メモリと呼ばれる基本回路をベースとする電流モードの回路を検討した。電流モード固定パターン雑音抑圧回路は、n チャネル電流メモリと p チャネル電流メモリから構成されたシングルエンドデザインとし、後段の電流モード高分解能 A/D 変換回路に接続できるようにした。

A/D 変換回路は 11-16 ビットの高分解能を得るため、オーバーサンプリング Δ - Σ 方式の回路とした。この方式は、精密なアナログ部品を必要としない。また、十分な変換時間を充てることのできるよう、列毎あるいは数列に 1 個の A/D 変換回路を設けそれらを並列に動作させる列並列アーキテクチャを前提とした。基本回路として、スイッチングに伴うクロックフィードスルーが、電流レベルに依らず一定値となる新しい電流メモリを考案した。変換時間 177 μs 、実効 11 ビットの A/D 変換回路を試作した。その設計および評価結果を記述した。

本論文では、さらにオンチップにアナログ信号処理回路を集積化することにより機能を付加する検討を行った。この際、高精細化に対応できるようアナログ信号処理回路はイメージングエリアの外に置いた。

まず増幅型イメージセンサの非破壊読み出しを利用し、簡単な Winner-take-all 回路を画素出力線に接続することにより画素内の信号電荷積分の様子をリアルタイムでモニ

ターできる機能を実現した。この機能により、イメージセンサの信号積分時間を精度よくリアルタイムに制御することができる。

次に、複数の入力信号の重み付けアナログ演算を実行するニューロン MOSFET を用い、画像の平滑化を行い、原画像との差分をとることでエッジ検出機能を持たせたイメージセンサを提案し、試作デバイスによりその動作を確認した。画像のエッジ検出をリアルタイムで行うことにより、後段での画像処理の負荷を軽減することができる。また、原画像そのものも取り出すことができる。

以上の検討は、イメージセンサ上に機能を付加した高精細、高感度な CMOS アクティブピクセルセンサ実現のための新たな一歩となる。最後に CMOS イメージセンサの研究開発の今後について私見を述べた。