

論文の内容の要旨

論文題目 配線カスタム化CMOS LSI技術の研究

氏名 藤田 実

LSIの集積度と性能の進展にはめざましいものがあり、現在はCMOS (Complementary Metal Oxide Semiconductor)技術がその根幹をなしている。CMOS LSIを実現するためには、デバイス技術、配線技術、カスタム化された配線のデータを処理して描画する技術、およびこれ等の技術をLSIに適用するための設計技術の開発が必要である。研究では、それぞれの分野において先端的な技術を開発して実用化を行った。更にWSI(Wafer Scale Integration)でニューラルネットワークを構築するところまで、これ等の技術の拡張を行った。

デバイスは回路を構成する基本要素であり、LSIの動作速度を決定するものである。CMOSはpチャネルMOS (pMOS)とnチャネルMOS (nMOS)の二つから構成されているため、その性能を向上させるためには、両方のMOSの最適な構造と、最適なプロセスを決定しなければならない。まず最初にエンハンスメント型のnMOSを実現する研究を行い、硫黄系の薬品処理で、酸化膜とシリコン界面の表面準位の正電荷を打ち消し、性能のよいデバイスを実現できる可能性があることを示した。LSI用のデバイスとしては、図1の構造を基本にして、微細加工によって性能の向上を図った。これに付随する短チャネル効果やホットエレクトロ

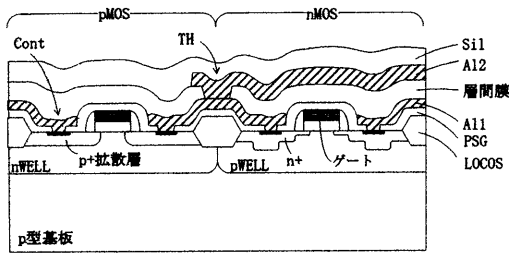


図1 デバイスの断面構造

ン効果の問題は、不純物濃度プロファイルを最適設計することで対策した。これ

によって図2に示すように先端的な性能が得られた。また、LSIを作るプロセスにおいて、ポリシリコン配線にソース・ドレイン形成用の高濃度不純物が入らぬようにすると、非常に高い抵抗が形成でき、外付け部品をLSIに内蔵するのに有効であることを示した。

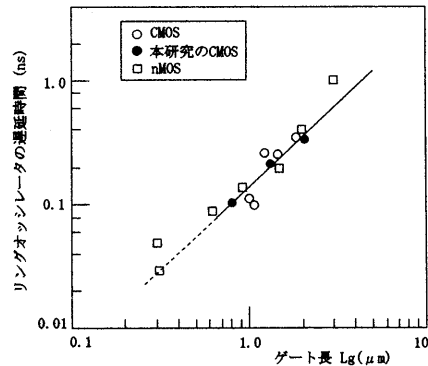


図2 ゲート長とリングオシレータの遅延時間

LSI用の配線は素子数と共に増加するので、集積度を決める重要な要因になっている。さらに論理LSIでは、配線を自由につなぎ変えてカスタム化することで、機能を変えたり多様な製品に展開しているので、配線密度を高くするだけではなく、自由度を持たせる必要がある。このため、配線は微細加工することに加えて、多層構造にしなければならない。多層構造の配線では、配線層の間にある絶縁膜の構造や形成法が、MOSデバイスの特性や配線の寄生MOS特性に大きな影響を及ぼす。各種の実験結果から、ウェハ表面の平坦化にSOG (Spin On Glass) を使った構造にプラズマ処理を行うと、MOSのホットエレクトロンによる特性変動が増大したり、寄生MOSのスレッショールド電圧が低下することを明らかにした。この現象を低減して特性を安定化する三層層間絶縁膜の構造

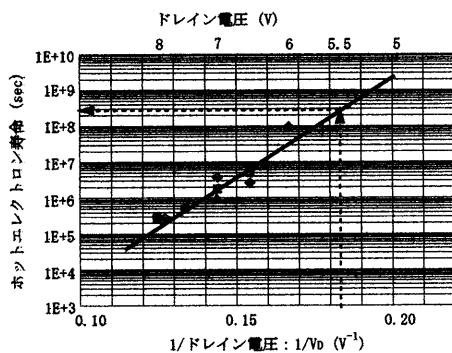


図3 三層層間絶縁膜でのホットエレクトロン特性

を決定した。この時のホットエレクトロン特性変動に対する寿命は図3のように、10年以上を確保することが出来た。また、多層配線の形成でプラズマ・プロセスを用いると、荷電粒子による帯電によってゲート酸化膜がダメージを受け、ゲート酸化膜の耐圧が低下したり、それによってLSIがラッチア

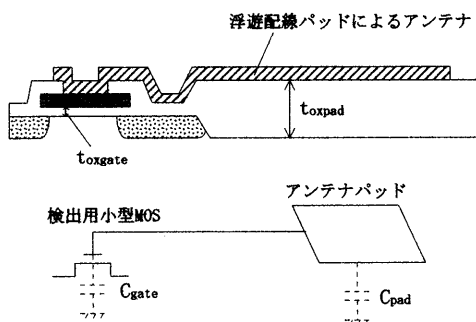


図4 プラズマ・ダメージ・モニタ用のパターン構造

線直接描画技術を使うことが望まれる。電子線直接描画技術を実用化するには、多量のデータを効率よく処理する技術と、電子線によるパターン描画時間を短縮する技術を開発しなければならない。データ処理では近接効果の補正が多量の計算時間を必要とするので、研究ではパターンの間隔に着目してサイズを分類し、それに応じて電子線のドーズ量を変える新しい手法を確立して、データ処理時間を短縮した。パターン描画においては、高感度レジスト、導電性レジスト、トルエンソーキング技術などを採用してレジスト・プロセスを構築し、精度の向上と描画時間の短縮を図った。表1にこの条件を示す。電子線直接描画を行うと、MOSデバイスは電子線照射によるダメージを受けることになる。ダメージを回復させるには、図5に示すように照射量を $10 \mu\text{C}/\text{cm}^2$ 以下に抑え、 450°C の水素アニールを行えば、光リソグラフィ品と同程度の信頼性が得られることを明らかにした。これによって、数十万ゲート規模のLSIの電子線直接描画を可能にした。

表1 電子線直接描画用のレジスト・プロセス条件

工程	プロセス	1.3 μm プロセス	0.8 μm プロセス
コンタクトホール		• 30kV, $18 \mu\text{C}/\text{cm}^2$ • 単層レジスト	• 30kV, $10\sim30 \mu\text{C}/\text{cm}^2$ • 単層レジスト • パターン分類処理
スルーホール1		• 30kV, $18 \mu\text{C}/\text{cm}^2$ • 単層レジスト	• 30kV, $3 \mu\text{C}/\text{cm}^2$ • 3層レジスト
スルーホール2		—————	• トルエンソーキ
メタル配線1		• 30kV, $2 \mu\text{C}/\text{cm}^2$ • 3層レジスト	• 30kV, $2.0\sim5.4 \mu\text{C}/\text{cm}^2$ • 3層レジスト
メタル配線2		—————	• トルエンソーキ
メタル配線3		—————	• 導電性ボトムレジスト

ップを起こしたりすることを実験によって示した。プラズマによるダメージをモニタするものとして、図4の構造を提案し、実用に役立てた。

論理LSIでは配線をカスタム化することで個々の製品を展開しているので、配線の形成を短時間で低コストで実現するために、マスク作成が不要な電子

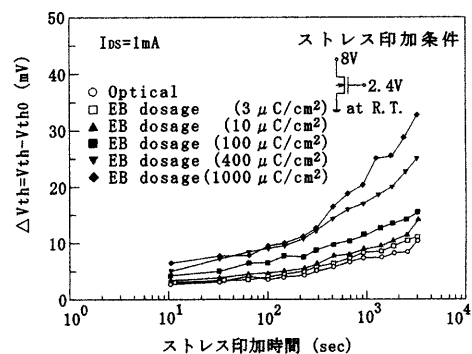


図5 ホットエレクトロン注入によるnMOSのVth変化

LSIの設計において、デバイスや配線技術を有効に活用し、CMOSとしての性能をフルに発揮させるには、レイアウト法、回路構成法、それにパッケージン

グ技術の分野で、新しい枠組みの設定や技術開発が必要である。このため、レイアウト法では集積度を高くするセル構造を決め、多層配線を効率的に用いるレイアウトルールを設定した。回路面では、外付け部品を内蔵する回路や、CMOSで新たな課題となった電圧の異なる回路間の信号のやり取りを可能にする新しい入出力回路を考案した。また、CMOSにはバイポーラ構造が付随することに着目して、BiCMOS(bipolar CMOS)の基本回路を考案した。パッケージでは、プリント基板とプラスチック封止を組み合わせ、多ピンのP-PGA (plastic pin grid array)型のパッケージを開発して、多ピンパッケージに付随する電気的特性と価格の両方の問題を解決した。実際の論理LSIにこれ等の技術を適用することで、図6に示すように集積度が数千から数十万ゲート規模の最先端のLSI製品を実現した。

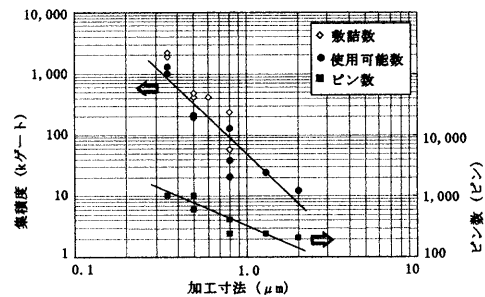


図6 加工寸法に対する集積度とピン数の推移

将来の論理LSIの技術的なフィジビリティを調べるため、規模を最大限に拡張したものであるWSIに論理としてニューラルネットワークを搭載して、その実現と評価に取り組んだ。WSIを構成するためのベースとなるLSIの設定、欠陥回避策、冗長構成法を検討し、図7に示す構成を決定した。実際にWSIを製作することで、576個のニューロンまたは学習機能付きで288個のニューロンを搭載したもので、最大で75%のニューロンが動作するものを得た。検査によって得られた動作ニューロンのウェハ内分布データをもとに、歩留まりの特徴や歩留まりを支配する要因を解析して今後の課題を明らかにした。8枚のWSIでニューラルネットワークを構築して20GCPSの性能を出し、巡回セールスマンの問題を

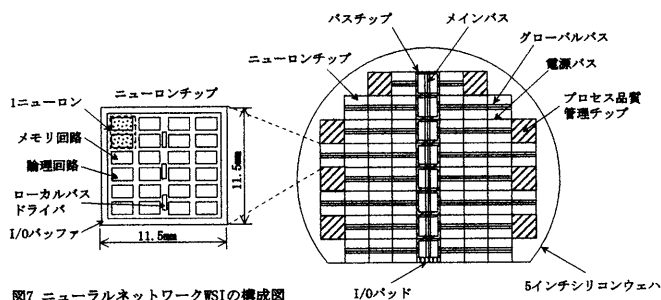


図7 ニューラルネットワークWSIの構成図

を解いたり、株価予測やサイン照合を行うことが出来た。WSIの規模およびニューラルネットワークの性能としては、世界最高レベルを達成した。