

審査結果の要旨

論文提出者氏名 藤田 実

本論文は配線カスタム化 CMOSLSI に関するもので本文 7 章から成る。

第 1 章は序論であって、著者が携わって来た LSI 開発の歴史を展望し CMOSLSI (相補形 MOS 集積回路) の実現における問題点と、これを配線カスタム化するのに必要な技術的課題を挙げ、本論文の構成を概括している。

第 2 章は「CMOS デバイスの研究」と題して、我が国での CMOSLSI 開発の最も早い時期に属する著者の研究成果を述べたもので、CMOS 構成に必要な n チャネルエンハンスメントモード MOS トランジスタの実現、イオン打ち込みによるしきい値制御技術、ポリシリコンゲートならびにウェル形成技術など、現在 CMOS の製造にあたって不可欠な要素技術のほとんど全てを一から開発した成果が述べられている。

第 3 章は「多層配線構造とデバイス特性」に関する研究結果を述べている。配線をカスタム化した製品が重要になるに従い多層配線技術が必要になったことを述べ、まず配線がデバイス特性に影響を及ぼした初期の例としてチップ表面の帯電をあげて、この現象をモデルを立てて解析することにより実際の製造品質向上に有効な対策を樹立したことが述べられている。続いて、多層化に伴い層間絶縁膜の材質や形成法ならびに積層膜の構成法が、膜の帯電現象やホットエレクトロン効果に影響することを明らかにして、水分や水素含有量の少ない膜を使用しプラズマによる活性化を抑え、かつ下地に水分や水素の拡散に対する障壁となる層を設けることが有効であることを示した。さらにプラズマ等の荷電粒子を使った工程でゲート酸化膜に損傷が起き、耐圧の低下やラッチアップが起きることを明らかにして、モニタとして有効なアンテナ構造を提案してこれが世界的に広く用いられるようになったことを述べている。またコンタクトが微細寸法になるにつれ配線材に含まれるシリコンがコンタクト部に析出してコンタクト抵抗が上がることを指摘して実験によってその現象を解析し、バリアメタル (障壁金属層) の採用によってそれが防がれることを示した。

第 4 章は「電子線直接描画技術と照射損傷の研究」と題して、カスタム CMOSLSI の配線パターンを短期間、低コストで形成するため用いられる電子ビーム直接描画技術の実用化のための研究成果を、高感度レジストと導電性レジストの 2 層レジストの採用による高スループット化、描画データ処理における新方式導入によるターンアラウンドタイムの短縮などについて述べるとともに、電子線照射が引き起こすゲート酸化膜の損傷の、アニーリングによる回復の有効性の検討も示されている。

第 5 章は「論理 LSI への CMOS デバイスの適用」と題して、カスタム LSI の設計において CMOS デバイスや配線技術を有効に活用するためのレイアウト法、回路構成法ならびに実装技術の研究成果を述べている。すなわちレイアウトではセル方式の先駆となった設計法を実施し、また配線のカスタム化が容易なレイアウト規則を定めたこと、回路技術では、

高抵抗を内臓させて今日の高抵抗ポリシリコン方式の先駆となったこと、ならびに、低振幅信号で MOSLSI を駆動するレベル変換回路や、多電源のもとでリーク電流を遮断できる多値出力回路、さらに BiCMOS の基本回路をも考案したことが述べられている。

第 6 章は「ニューラルネットワーク WSI の開発」と題し、デジタル・ニューラルネットワークを搭載したウェーハスケール・インテグレーション(WSI)の開発の研究成果を述べている。これまでの章で開発の経緯を述べてきたカスタム化多層配線技術、電子線直接描画技術を採用したゲートアレー構造で、学習機能無しなら 576 ゲート、学習機能付きなら 288 個のニューロンが搭載できる WSI を試作して、欠陥回避方式や冗長方式が的確に働き最大 75%のニューロンが有効に作動する WSI を実現したことが述べられ、今後の WSI 開発の指針が示されている。

第 7 章は結論で、上記の研究成果を要約し今後の展望を述べている。

以上のように本論文は、CMOSLSI の揺籃期から現在に至るまで一貫して開発にあたって来た立場から、現在も重要である要素技術の先駆的な研究開発の成果を、学術的裏付けと共に述べており、特に配線をカスタム化した論理 LSI の実用化に関して今日でも有益な指針を与えるものであって、電子工学上貢献するところが少なくない。

よって本論文は博士（工学）の学位請求論文として合格と認められる。