

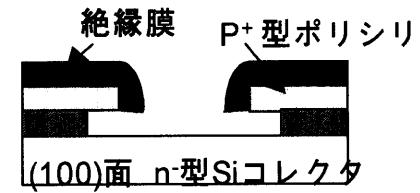
論文の内容の要旨

論文題目 自己整合型SiGe合金ベースヘテロ接合バイポーラ
トランジスタの研究

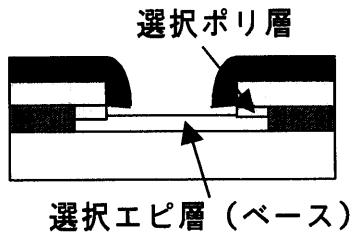
氏名 佐藤文彦

インターネット、携帯電話を代表とした情報通信ネットワークは近年急速な発展をとげており、その基盤技術の一つである高速半導体デバイス技術が重要性を増している。バイポーラトランジスタは、電気信号を処理する各種半導体デバイスの中でも高速動作に適しており、近年の Si/SiGe/Si 系へテロ接合形成技術の向上によって、従来の Si ホモ接合バイポーラトランジスタにかわって SiGe 合金ベースへテロ接合バイポーラトランジスタへの期待が高まっている。本論文は、「自己整合型 SiGe 合金ベースへテロ接合バイポーラトランジスタの研究」と題し、エピタキシャル成長によって形成されたシリコン・ゲルマニウム ($Si_{1-x}Ge_x$) 合金膜をベースとするバイポーラトランジスタの自己整合化技術及び、この技術に基づいた高速光通信用集積回路への応用に関する研究成果についてまとめたものであり、全文 6 章より構成されている。

第 1 章では従来技術とその課題、本論文の概要を述べている。バイポーラトランジスタの性能指標は、遮断周波数 f_T や最大発信周波数 f_{max} である。これらを向上するために、ベース幅 W_B 、ベース抵抗 r_{bb} 、ベース-コレクタ間容量 C_{CB} の 3 要素を低減する必要があり、ベース浅接合化技術と微細加工技術による寄生成分の低減が重要である。しかし浅接合化は他の電気特性たとえば接合耐圧とのトレードオフ関係にあり、実用限界に近づきつつあった。近年、半導体エピタキシャル成長技術の進歩により Si 系へテロ接合をデバイスに応用することが可能となり、SiGe をベースとするヘテロ接合バイポーラトランジスタ (Heterojunction Bipolar Transistor; HBT) の研究が盛んとなった。しかし、研究されていた SiGe-HBT 構造は、従来の Si バイポーラトランジスタでは標準である自己整合構造が困難であるという課題があった。



(a)



(b)

図1. 自己整合的選択成長の断面模式図

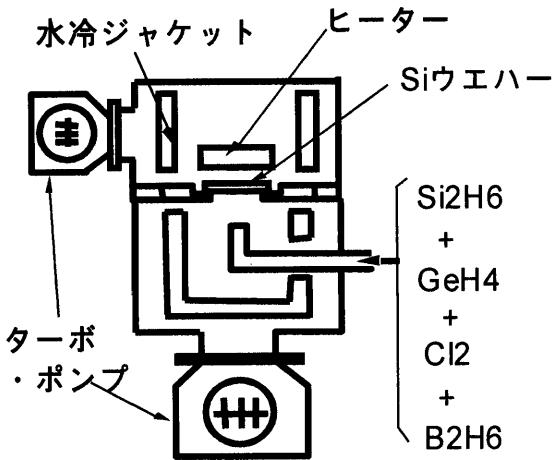


図2. コールドウォール型 UHV/CVD 装置.

第2章では「エピタキシャル・ベースの自己整合化技術」と題して、ベースの浅接合化技術として有望なエピタキシャル成長技術を用いたトランジスタの自己整合化について述べている[1]。選択的エピタキシャル結晶成長法(Selective Epitaxial Growth; SEG)を用いた独自開発の自己整合化技術、「自己整合型選択成長ベース技術」(Super Self-aligned Selectively grown Base; SSSB)と名付けた技術を提案する。コレクタ用 *n*型 Si 基板に対して、側面と上面が絶縁膜(Si_3N_4)でカバーされ底面が露出している *p*⁺型ベース電極用ポリシリコンのひさし構造(図1(a))に対して、この SEG 技術を適用した。*p* 型ベース用 SiGe エピタキシャル膜とひさし構造ポリシリコンからの多結晶 SiGe 膜とを同時に成長させ、これらの結晶成長をお互いになめらかに接続させる(図1(b))ことで、2層ポリシリコン自己整合型 SiGe 合金ベースヘテロ接合バイポーラトランジスタを実現した。図2に示すコールドウォール型超高真空(UHV)/CVD 装置に $\text{Si}_2\text{H}_6+\text{GeH}_4+\text{Cl}_2$ ガス系を使って、この自己整合的 SEG 技術を実現した。

第3章では「SiGe/Si プロファイル検討による電気特性改善」と題して、SiGe エピ/Si 界面制御がバイポーラトランジスタの電気特性に与える影響を論じている。結晶成長時に所望の不純物プロファイルであった SiGe/Si エピタキシャル膜が、後工程(CVD 膜形成とエミッタドライブインなど)の熱処理によって、エピタキシャル成長 SiGe ベース層からホウ素拡散を引き起こす。ホウ素が *n*型 Si コレクタ領域へまで拡散してしまうと SiGe/Si ヘテロ界面が pn 接合空乏層と異なる位置に形成される。この結果として寄生エネルギー障壁が形成され、*p* 型 SiGe から *p* 型 Si へと走行する電子の流れが阻害される。たとえば、同一 as-grown ホウ素ドーププロファイルの Si-BJT の f_T が 28GHz であるのに対して、寄生エネルギー障壁を持つと考えられる SiGe HBT の f_T は 12GHz と著しく低かった。この現象を抑制するためのスペーサー用 undoped-SiGe 層、及び

スループロセスの低温化によるホウ素拡散の低減を提案し、その効果を検証している[2]。低温化プロセスを採用し、ホウ素拡散スペーサーであるアンドープ SiGe 膜厚の最適化(30nm)によって、最大 63GHz の遮断周波数 f_T が得られている（図3）。またコールドウォール型 UHV/CVD 技術を使った選択性的エピタキシャル成長（SEG）に関して、希釈 HF 浸漬と低温熱アニールとの組み合わせによる新しい前処理法を SiGe/Si 成長に用いることでヘテロ界面のホウ素量を低減し、 f_T の V_{CB} バイアス依存を減少させることができた[3]。

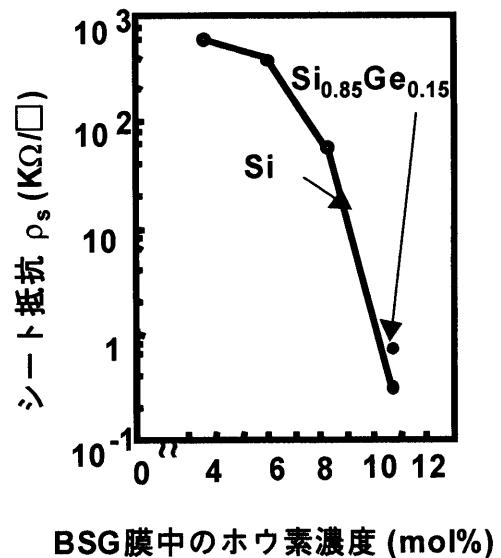
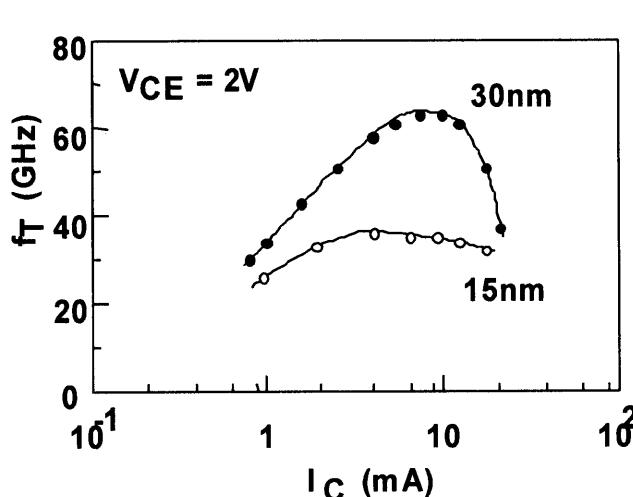


図3. プロファイルと電気特性との関係. 図4. BSG膜ホウ素濃度とシート抵抗との関係.

第4章では「エピベース・バイポーラのリンクベース抵抗の低減検討」と題して、エピタキシャルベースの抵抗低減に関して述べている。極浅接合ベースとして形成したエピタキシャル膜厚は 100nm 以下となっているためシート抵抗が数 $10K\Omega$ と高い。そこで真性領域の平面的スケーリングに加えてエピタキシャル成長時の *in-situ* ドープとは独立の不純物添加によるシート抵抗低減技術が重要である。シート抵抗低減方法として、ホウ素含有シリコン酸化(Boro-Silicate Glass; BSG)膜からのホウ素の固相拡散法によるベース抵抗低減を提案し、実験でシート抵抗が数 100Ω へ低減出来ることを示した（図4）。トランジスタへの適用は、自己整合的選択エピタキシャル成長技術による極薄 SiGe ベース形成後、エミッタ・ベース分離用 BSG 側壁構造を形成し、2ステップ・アニール技術を使った。熱処理は、第1ステップ・アニール($800^\circ C$)が BSG 膜からのホウ素拡散、第2ステップ・アニール($950^\circ C / 10 \text{ sec}$)がエミッタドライブイン工程である。この SiGe バイポーラの特性は $f_T = 51 \text{ GHz}$ 、 $f_{max} = 50 \text{ GHz}$ であり、19 psec ゲート遅延時間 t_{pd} が得られた[4]。

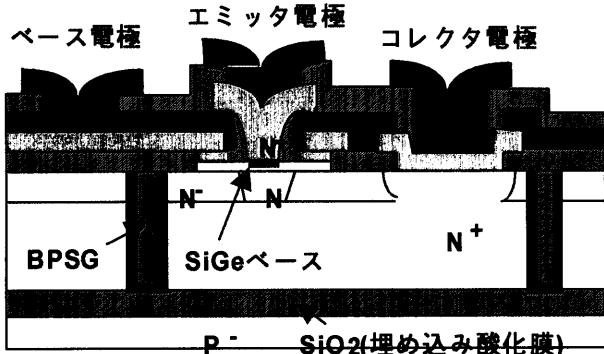


図5. トランジスタの断面模式図。

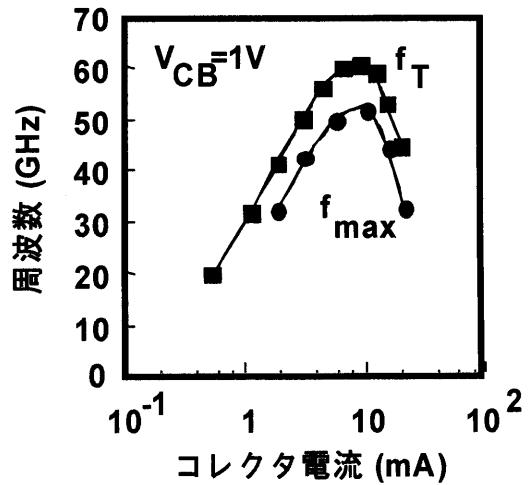


図6. f_T , f_{max} 特性。

第5章では「光通信システム用トランジスタ技術とその回路応用」と題して、新規開発した自己整合型 SiGe 合金ベースヘテロ接合バイポーラトランジスタを用いた光通信システム用 ICについて述べている。本研究のトランジスタが基幹系光通信システムにおける電気回路部において 20Gb/s と言う高速動作[5]、また 2.4Gb/s 受信部 IC ワンチップ化を示した[3]。トランジスタ単体性能は、ベース幅 W_B 、ベース抵抗 $r_{bb'}$ 、ベース-コレクタ間容量 C_{CB} が支配項であるが、回路動作の高速化として第4に重要なファクターであるコレクタ-シリコン基板間容量 C_{CS} の低減及び回路間の干渉現象であるクロストークの低減の観点から、張り合わせシリコン・オン・インシュレーター (SOI) 基板に BPSG 埋設トレンチを使って素子分離するトランジスタ構造を採用した(図5)。トランジスタの最小ルールを $0.4\mu m$ と微細化することで 60GHz- f_T , 51GHz- f_{max} の自己整合型選択成長 SiGe ベースバイポーラ技術を開発した(図6)。この SiGe 技術を用いて光通信トランスミッター用 SiGe バイポーラ IC (セレクター、マルチプライヤ、および D-F/F) を作製し、20Gb/s 動作が確認された。

第6章では「総括」と題して、本論文のまとめと今後の展望について述べている。

参考文献

- [1] F. Sato et al., IEEE Trans. Electron Devices, vol.41, p.1373 (1994). [2] F. Sato et al., Solid-State Electronics, vol.43, p.1389 (1999). [3] F. Sato et al., IEEE J. Solid-State Circuits, vol.31, p.1451 (1996). [4] F. Sato et al., IEEE Trans. Electron Devices, vol.42, p.483 (1995). [5] F. Sato et al., IEEE Trans. Electron Devices, vol.46, p.1332 (1999).