

論文の内容の要旨

論文題目 Study on Low Power and High Speed Embedded DRAM for System LSI
(和訳 システム LSI に搭載された DRAM の低消費電力化と高速化に関する研究)

氏名 山内忠昭

DRAM とロジックを同一チップ上に混載したシステム LSI は、チップ内部の広い I/O バスによる高性能化、低消費電力化、電磁干渉の低減、チップ数の削減による省スペース化の利点を有する。DRAM 混載集積回路の高性能化とメモリの大容量化は主にデバイスの微細化により実現され、携帯端末やデジタルカメラやデジタルビデオに代表される携帯機器等に適用されてきた。0.25 μm プロセスルールのレベルで 4MByte 規模の大容量メモリと数百万ゲート規模の高密度ゲートとのワンチップ化を実現できるようになったが、今後の技術開発では、(1) DRAM とロジックプロセスの相違によるトランジスタ性能や配線ピッチの格差の改善、(2) 低電圧動作での高性能化、(3) 内部データバスの低消費電力化が問題になる。さらに、(4) 多様化するシステム要求に対応するために設計の高効率化も重要になる。そこで、DRAM を混載することにより生じる上記(1)~(4)の課題を、メモリセルアレイ構成の最適化、回路構成、データバス構成と、新たに提案する設計手法によって克服し、技術的指針を得た。

課題(1)である DRAM とロジックのプロセスの主な相違は、主に縦構造とトランジスタ構造の差によるものである。前者に関して、DRAM プロセスは 3 次元のメモリセルキャパシタを形成するため多層ポリシリコンプロセスであるのに対し、ロジックプロセスではゲー

トの高密度化のため、狭ピッチの多層メタル配線に重点が置かれている。我々は、配線の相関膜平坦化プロセスの適用と、ビット線をコンタクトパッドに用いることで、DRAM 部分とロジック部分の段差と、コンタクトホールのアスペクト比を改善した。さらに、DRAM 混載プロセスで最適化した低コストのスタンダードセルライブラリーを提案した。低抵抗化したビット線を、レイアウトのスタンダードセルの内部配線として用いることで、セル高を削減するとともに、セル上に最下層メタル配線のチャネル領域を確保した。その結果、レイアウト面積を 50%削減することができた。

次にトランジスタ性能格差に関しては、同一ゲート長で比較すると、DRAM の方がロジックより劣っている。メモリセルキャパシタ生成時の熱処理工程と、信頼性確保のためのゲート酸化膜の厚膜化が主な原因である。前者に関しては熱処理低減の工夫がなされてきた。後者に関しては、ゲート酸化膜の作り分けで回避してきたが、プロセスコストが増加する。そこで、電界ストレス緩和型 DRAM メモリアレイ構造を提案して解決を図った。トランジスタのオフリーク電流は、電源電圧の低電圧化に依らず、しきい値電圧の低下に対して指数関数的に増加する。ここで、データ保持特性の観点から DRAM セルトランジスタのしきい値電圧が高く設定されている。しきい値電圧ロス無くハイデータを保持するため、選択ワード線の電圧をしきい値電圧と電源電圧との和より高く昇圧している。これが、DRAM のゲート酸化膜厚膜化の原因で、デバイスの微細化に伴って、ロジックトランジスタとの格差が顕著になる。提案したメモリアレイ構成では、メモリセルキャパシタカップリングで蓄積電荷を確保するので、選択ワード線の昇圧が不要になる。また、データ保持特性の改善、セルプレートの分割数の削減、データ保持特性の改善のため、非選択のワード線レベルを負電圧にしている。ワード線レベルの負電圧化で問題であった、メモリセルトランジスタのゲート・ドレイン間の高電界も、メモリセルプレートの電位を適切に制御して緩和する。その結果、高信頼性を維持しながら、DRAM 部のゲート酸化膜厚をロジック部並みに薄くすることができた。その効果は低電圧化するほど顕著で、電源電圧が 1.2V の場合にトランジスタ性能改善の効果が 1.7 倍に達する。提案した構成ではゲート酸化膜の作り分けが不要になるのでプロセスの低コスト化に寄与する。

課題(2)に関する我々の取り組みについて述べる。低電圧化では、次の問題があった。DRAM 部分に関しては、蓄積電荷の減少と接合容量の増加によってビット線容量が増加して読み出し電圧が減少すること。ロジック部分に関しては、短チャネル効果と S-Factor 抑圧の両立が従来のバルク CMOS では困難なことである。一方、SOI デバイスは、接合容量が小さく、前述したバルク CMOS の問題点を解決できるのでロジックの低電圧化に対し有望である。DRAM 部分に関しても、ソフトエラーの改善と、接合容量低減による読み出し電圧の確保を期待できる。以上の背景から、SOI に着目した。まず、ボディー電圧を適切に制御することでロジック部分の高速化と待機電流の低減を図った。PMOS と NMOS のボディー電圧をアクティブ時にイコライズする、もしくは、出力電圧をボディーに帰還して駆動能力を向上することでゲート遅延時間を従来の約 25~30%短縮することができた。一方、

SOI-DRAM ではボディー電位の浮きにより、動的なデータ保持特性が劣化する。そこで、前述の電界緩和型 DRAM アレイを適用し、非選択ワード線レベルを負電圧にすることでチャネルリークを抑えた。その結果、動的データ保持時間を従来の 2.5 倍に改善することができた。

課題(3)の広い内部データバスの低消費電力化に関しては、非同期パルス圧縮データ転送方式を提案することで解決を図った。パルス幅変調は通信の分野で知られており、1 ビットバス上に多ビットのデータを転送する。ここで、チップ内部のバスに伝わるパルスの両エッジを基準にしてパルス幅変調するので、サンプリングクロックスキューの問題が生じない。さらに、変調と復調の回路をデバイスばらつきの影響の小さな構成にすることで分解能を高めた。また、メモリアレイから転送される小振幅のリードデータを、高速かつ低消費電力で増幅可能な回路構成を提案した。その結果、内部バスでの消費電力を従来の 36% に削減することができた。

課題(4)に関して、DRAM 部の設計工期改善手法とシステム性能評価に基づいたオンチップメモリ構成の最適化手法を検討した。DRAM を集積したシステム LSI では、DRAM の容量や制御手法が、ユーザーの要求に応じて多様化する。ここで、DRAM の制御回路はメモリアレイ特性(ワード線やビット線の抵抗または寄生容量)を考慮して最適化されるため、DRAM はハードマクロ化して扱われていた。その結果、多様化するユーザー要求への対応が困難であった。そこで、仮想ソケットアーキテクチャーを提案した。コマンド入力に応じて遷移する内部状態を制御するステートマシン部分とメモリアレイ構成に応じたタイミング調整部分とに二分する。前者には ASIC 設計と同じクロック同期回路を適用し、論理合成ツールやタイミング駆動自動レイアウトツールを用いて設計の自動化を図った。後者には、数種類の基本遅延回路ライブラリと DRAM の容量に応じた遅延パラメータを用意することで、回路設計とレイアウト設計を自動化した。これらを、機能記述言語を使ってソフトマクロ化しシステムの多様化に対応した。ロジック部の機能記述と組み合わせて論理合成すると余分なインターフェースがなくなるので、メモリレイテンシーも改善する。さらに、クロック同期回路をベースにした自動化設計ツールの適用により、ASIC とほぼ同じ設計工期を達成した。0.18 μm プロセスルールの 64Mb-SDRAM のテストデバイスに、前述の低コストスタンダードセルライブラリーと本設計手法を適用した所、ワースト条件で 180MHz の高速動作を確認した。

これまで、DRAM を混載した集積回路では、主に低消費電力化と省スペース化に重点が置かれていた。一方、チップ内部の広い I/O バスを有効活用するには、ロジックとアプリケーション側の最適化が重要になる。我々は、プロセッサモデルとメモリモデルの様々な組み合わせで、数種類のアプリケーションを実行することで、DRAM オンチップ化による性能改善効果を示した。プロセッサモデルとして、シングルチップマルチプロセッサのようなハイエンドのプロセッサと一般的なユニプロセッサを、メモリモデルとして、オンチップ DRAM をメインメモリにしたシステムとオンチップ SRAM キャッシュメモリシステムと

を組み合わせた。既存のプロセッサシミュレータをベースに、イベントドリブン型のメモリモデルを結合した機能記述モデルを新たに作成して、ソフトウェアを実行した。その結果、浮動小数点アプリケーションやマルチプログラミングのような、メモリ参照頻度の高いソフトウェアを、シングルチップマルチプロセッサの様に複数命令を同時実行可能な高性能のプロセッサで実行して初めて、SRAM オンチップキャッシュシステムの性能を上回ることが判った。このように、低消費電力と省スペース化以外に、高速化の面で DRAM オンチップ化のメリットを引き出すためには、ロジック側のアーキテクチャとアプリケーションの最適化が重要であると言える。

これら提案した技術の有効性を、0.35 μm -0.18 μm プロセスルールのテストデバイスの試作、回路シミュレーション、デバイスシミュレーション、もしくは、システムの機能記述モデルを用いたシミュレーションで検証し、システム LSI に搭載した DRAM の低消費電力化と高速化に関する技術的指針を得た。