

## 審査の結果の要旨

論文提出者氏名

山内 忠昭

本論文は、「Study on Low Power and High Speed Embedded DRAM for System LSI」(和訳: システム LSI に搭載された DRAM の低消費電力化と高速化に関する研究)と題し、7 章からなる。システム LSI に搭載された DRAM(以下、Embedded DRAM と略す)は、チップ内部の広い I/O バスによる高速化、低消費電力化、電磁干渉の低減、チップ数の削減による省スペース化の利点を有する。本論文は、高集積化に伴って一層高まる低消費電力化と高速化の要求に応えるための回路技術について論じたものである。

第 1 章は「序論」で、Embedded DRAM の特徴と発展の経緯を述べるとともに、発展に伴って生じた技術課題を分析することで、本研究の目的と意義を明らかにしている。

第 2 章は、「プロセスミスマッチを改善した高性能 Embedded DRAM の回路技術」と題し、DRAM とロジックプロセスの相違によるトランジスタ性能の格差を改善するためのメモリアレイ構成を述べている。DRAM プロセスではワード線の昇圧による電界ストレスを緩和するためゲート酸化膜を厚膜化しているため、ロジックプロセスと比較するとトランジスタ性能が低い。提案した電界ストレス緩和型メモリアレイ構成では、データ保持特性と高信頼性を維持しながら DRAM 部のゲート酸化膜厚をロジック部並みに薄膜化することができるので、トランジスタ性能が改善する。その効果を回路シミュレーションと試作デバイスによって明らかにしている。

第 3 章は、「低電圧動作のための回路技術」と題し、接合容量の低減等の利点から低電圧動作に適した Silicon on Insulator(SOI)を利用した Embedded DRAM の回路技術を述べている。SOI 基板上に構成された DRAM の問題点であるボディ浮きによるデータ保持特性の劣化が、前章の電界ストレス緩和型メモリアレイ構成の採用により改善することを、デバイスシミュレーションによって明らかにしている。さらにボディ電圧を適切に制御した新たな回路構成を提案し、1.2V 以下の低電圧で待機電流の低減と高速動作を両立することを、試作デバイスの評価で実証している。

第 4 章は、「DRAM とロジック間の高性能オンチップインターコネクト」と題し、チップ内部の広い I/O バスとそのインターフェースの低消費電力化と高速化のための回路技術を述べている。パルスの両エッジを基準にしてパルス幅変調した信号を非同期転送することで広いバンド幅と低消費電力化を実現可能にするための回路構成、DRAM の読み出しデータを高速かつ低消費電力で増幅する回路構成を提案し、回路シミュレーション

ョンでその有効性を明らかにしている。

第5章は、「設計工期短縮するための Embedded DRAM の設計手法」と題し、DRAM の容量や制御手法の多様化への対応に適した回路構成と設計手法を述べている。従来、DRAM はハードマクロ化して扱われていたため、多様化するユーザー要求への対応が困難であった。DRAM 制御回路を、コマンド入力に応じて遷移する内部状態を制御するためのクロック同期回路と、メモリアレイ構成に応じてタイミング調整の最適化を要する遅延回路とに二分してソフトマクロ化し、さらに DRAM 特有のデバイス構造を有効活用したスタンダードセルライブラリを備えることで、高品質の回路と高密度のレイアウトを ASIC とほぼ同じ設計工期で自動生成することができる。0.18 $\mu\text{m}$  プロセスルール の 64Mb-SDRAM のテストデバイスに適用してその効果を実証している。

第6章は、「高性能マイクロプロセッサに搭載された DRAM のシステム性能評価」と題して、低消費電力と省スペース化以外に、高速化の面で Embedded DRAM のメリットを引き出すためのロジックとアプリケーションに関してまとめている。新たに作成したイベント駆動型メモリモデルを用いた性能評価を通じて、浮動小数点アプリケーションやマルチプログラミングのようなメモリ参照頻度の高いソフトウェアを、シングルチップマルチプロセッサの様に複数命令を同時実行可能な高性能のマイクロプロセッサで実行して初めて、従来の SRAM オンチップキャッシュシステムの性能を上回ることを定量的に示している。

第7章は、「結論と今後の展望」と題して、本研究で得られた主要な成果についてまとめるとともに、今後の展望について考察したものである。

以上、本論文は、システム LSI に搭載された DRAM の低消費電力化と高速化を実現するための回路技術について研究を行い、プロセスミスマッチを改善するためのメモリアレイ構成、高速化と待機電流の低減を両立するための低電圧回路技術、高性能オンチップインタコネクタなどを提案し、試作デバイスやシミュレーション評価によってその有効性を実証したものであり、電子工学の発展に貢献するところが少なくない。よって、本論文は、博士（工学）の学位請求論文として合格と認められる。