

本論文は「プロセス微細化の影響を考慮した非同期式プロセッサの構成に関する研究」と題し、7章から成っている。マイクロプロセッサの性能は、命令セットを固定した場合、1クロックサイクルで実行される命令数(IPC)とクロック周波数の積で表される。これまで、アーキテクチャ技術の進歩によるIPCの向上と、プロセス微細化によるゲート遅延減少効果でクロック周波数が向上したことによって、汎用プロセッサの性能は飛躍的な向上を遂げてきた。しかしながら、プロセス微細化によって配線遅延は減少しないため、配線遅延が支配的なメモリ構造がクリティカルパスとなる out-of-order アーキテクチャを用いた現在の高性能プロセッサでは今後の性能が頭打ちとなると予想される。本論文は、この問題を克服するため、クリティカルパスの支配要因が配線遅延にはならない新しいプロセッサアーキテクチャを提案し、今後予想されるさらなるプロセス微細化に伴う配線遅延問題を解決し得ることを示すシミュレーション実験の結果をまとめたものである。

第1章「序論」では、本研究の背景と目的を述べ、本論文の構成を述べている。

第2章「プロセス微細化による遅延の変化」では、プロセス微細化に伴って配線遅延がどのように変化するかを考察している。論理回路規模を一定にしたままプロセス微細化を行う場合には、配線遅延も素子遅延とほぼ同様な割合で減少するが、一般にはプロセス微細化が進むとそれを利用して実現される論理回路規模は大きくなるため、最適なりピータ挿入を行ったとしても配線遅延は減少せず、チップ全体の性能は配線遅延で制約を受けると述べている。

第3章「プロセス微細化がプロセッサに与える影響」では、プロセス微細化に伴う大規模化が現行プロセッサで用いられている out-of-order アーキテクチャの性能に対して与える影響について検討している。特に、分岐予測機構、動的スケジューリング機構、フォワードイング機構では、配線遅延が支配的なメモリ構造がクリティカルパスとなり、かつパイプライン化構成が難しいため、プロセス微細化に伴うシステム大規模化を行った場合にクロック周波数の向上を制限する可能性が高いと述べている。

第4章「Cascade ALU アーキテクチャ」では、現行アーキテクチャの本質的問題点は性能を決めるクリティカルパスがプロセス微細化によって減少しない配線遅延で支配される構造にあることを指摘し、それを解決するアーキテクチャを提案し、その利害得失について検討している。Cascade ALU アーキテクチャは複数命令の同時実行を可能としつつプロセッサのクリティカルパスがALU遅延で決まる効果を持つことに特徴があり、ALU遅延はゲート遅延に支配されることから、現行アーキテクチャと同等のIPCを維持したまま、プロセス微細化に伴ってプロセッサのクロック周波数が向上すると述べている。

第5章「非同期式実装の検討」では、非同期式論理を用いると Cascade ALU アーキテクチャを効率的に実装できると述べている。また、Cascade ALU アーキテクチャを非同期式で実装する場合に問題となる要求・応答動作のオーバーヘッドのほとんどは、パイプラインの物理的なステージ数を増加させる細粒度化手法によって隠蔽され、非同期式実装に伴う性能低下を抑制できると述べている。

6章「Cascade ALU アーキテクチャの評価」では、サイクルレベルシミュレータを用いた Cascade ALU アーキテクチャの性能評価と実装に基づく性能、実装面積の評価を行った結果、現行の0.25 μ m プロセスを用いた4命令同時発行の Cascade ALU アーキテクチャの性能は out-of-order アーキテクチャを用いている MIPS R10000 とほぼ同等であり、実装面積は MIPS10000 より小さくなると述べている。

第7章「結論」では、本研究で得られた成果を総括し、今後の課題を指摘している。

以上を要するに、本論文は、現行の高性能プロセッサで用いられる out-of-order アーキテクチャの性能を決めるクリティカルパス遅延が配線遅延に支配されているために今後予想されるプロセス微細化の恩恵を享受できないという問題を解決するために、現行と同等のIPCを維持したままプロセッサのクリティカルパス遅延の支配要素をゲート遅延とする新しいスーパスカラアーキテクチャを提案し、シミュレーション評価によってその有効性を明らかにしたもので、その成果は工学的に貢献するところが大きい。よって本論文は博士(工学)の学位請求論文として合格と認められる。