

# 論文審査の結果の要旨

氏名 遠藤 敏夫

本論文は6つの章からなる。第1章は序論であり、本論文の研究にあたって動機となった背景について論じている。動的なメモリ確保を頻繁に行なう並列プログラムにおいて、メモリ確保処理の性能はプログラム性能に重大な影響を与えうる。また、自動的に不要なデータ構造を回収するガベージコレクション (GC) は、プログラマの手間を軽減する一方で、プログラム実行中の無視できない時間を消費する。このため、共有メモリ並列計算機上でプログラムを効率的に実行するにはメモリ管理モジュールが十分に高速化されている必要がある。本論文では (1) メモリアロケータと (2) GC のそれぞれの効率化技法を提案、実装することにより、スケーラブルなメモリ管理モジュールを構築することに主題をおいている。この主題の設定は、学位論文の主題として十分、かつ妥当であると認められる。

第2章は、上記 (1) で述べられているメモリアロケータについて、並列化技法を提案している。アロケータが満たすべき性質として、スケーラビリティに加え、局所性とメモリ利用効率に注目する。局所性の向上により、間接的にプログラム性能を向上させることができる。局所性とメモリ利用効率の間にはトレードオフがあり、利用者 (プログラマ) はそのトレードオフを連続的に調節することができる。分散共有メモリ計算機 (DSM) での実験を通して、アロケータの効率化によりプログラム性能が向上することが述べられている。

第3章から第5章までは、上記 (2) で述べられている GC について議論している。議論されているのは、マークスイープ方式と呼ばれる GC 方式を並列化したものである。第3章は、GC の際にユーザプログラムを全て停止させてから、複数スレッドが協調的に GC を行なう、ストップ並列 GC について述べている。GC 時間を短縮するためには負荷分散が必須であり、そのアルゴリズムが示されている。最大64プロセッサによる実験を通して、特に対象型共有メモリ計算機 (SMP) で良好な性能を達成することが示されている。

第4章は、第3章で示した並列 GC 方式の性能モデルを提案している。この章は、第3章で示された、GC 性能のアーキテクチャごとの性能差の原因を解析するものである。GC の並列化に伴ういくつかのオーバーヘッドを考慮して GC 時間の予測を行なう。具体的には、キャッシュミスコストの増加と、キャッシュミス数の増加などである。実測値と予測値の比較を通して、提案したモデルがアーキテクチャ間の性能の差異を捉えることが可能であることが示されている。

第5章は、GC とユーザプログラムが同時に動作し、かつ GC 自身が並列化されている、並行並列 GC について述べている。並行性を持った GC は特にリアルタイム性を必要とするプログラムに対して有用である。この GC とストップ並列 GC との比較実験を通して、停止時間の向上が見られる一方、プログラムのスケーラビリティを低下させることが示されている。この低下の最大要因はマーク処理の一貫性を保つための処理であることが述べられている。

第6章は、論文全体の内容をまとめ、今後の研究課題について論じている。特に、本論文の方式によりスケーラブルなメモリ管理モジュールの構築が可能であり、それにより並列プログラム

の性能を向上させることができることが主張されている。

本学位論文は、動的に多くのメモリ確保を行なうプログラムの実行の際にボトルネックとなるメモリ管理モジュールについて、アロケータと GC のそれぞれについて有効な効率化方式を示している。それらを利用すれば、メモリ管理処理自身の効率化と局所性の向上により、プログラムの速度性能が向上することを、数多くの実験結果とともに示している。これらの方式の特徴は、既存のメモリ管理の研究であまり重視されていない、計算機アーキテクチャの差異を考慮することである。2種類の大規模共有メモリ並列計算機上での実験に加え、性能モデルによる性能解析が数多くなされており、それらを通して提案方式の有用性を示している。以上のように、本論文は並列メモリ管理の研究において優れた研究であり、極めて有意義な成果を得ている。この点で本論文は高く評価され、審査委員全員で、博士(理学)の学位を授与するにふさわしいと判断した。

なお本論文の内容の一部は、共著論文として印刷公表済みであるが、論文提出者が主体となつて研究および開発を行なったもので、論文提出者の寄与は十分であると判断する。