

## 論文の内容の要旨

論文題目 大規模集積回路を用いた量子回路プロセッサに関する研究

氏名 大内 真一

計算機の機能は、集積回路技術の発展と共に飛躍的な進歩を遂げてきたが、従来の計算機では未だ取り扱いの難しい問題が多数存在する。近年研究が盛んになってきた量子コンピュータは、この種の問題を高速に処理することが可能であると期待されているが、量子コンピュータは物理的に不安定な量子重ねあわせを利用するため、その実現は非常に困難であると予想される。この困難を打破するために、今後膨大な研究の集積を必要とする量子コンピュータ研究の意義を確固たる物とするためには、量子コンピュータで可能な計算が何であるか、そしてその計算を実現するために克服すべき問題点が何であるかを理論面から明確にしておくことが必要である。例えば量子コンピュータ上で効率的に動作することが明らかになっているのは、現在のところ P. W. Shor の因数分解アルゴリズムのみであり、アルゴリズム研究を加速することが強く求められる。このときアルゴリズム研究の手段として、量子計算のシミュレーションが重要性を帯びてくる。量子計算のシミュレーションは、現在、ワークステーション等により行われるのが一般的となっている。しかしながら、このシミュレーションは計算時間が問題の入力サイズに対し指数爆発するものであるため、大規模なシミュレーションの実現を期待するのは難しい。これに対し本質的な解決を求めることは、現時点では一般的に不可能と考えられているが、近年の集積回路技術における発展により、1チップ上に実現可能なデバイス数は飛躍的に増大しており、計算の時間コストを大量なデバイスの効率的な並列動作を利用すれば、この問題をある程度まで緩和できる可能性があると思われる。本研究は、大規模集積回路におけるデバイスの多並列動作を利用して高速処理を行う量子計算エミュレータを作製することを通じ、集積回路の領域から量子計算機の現実的な実現に取り組んだものである。

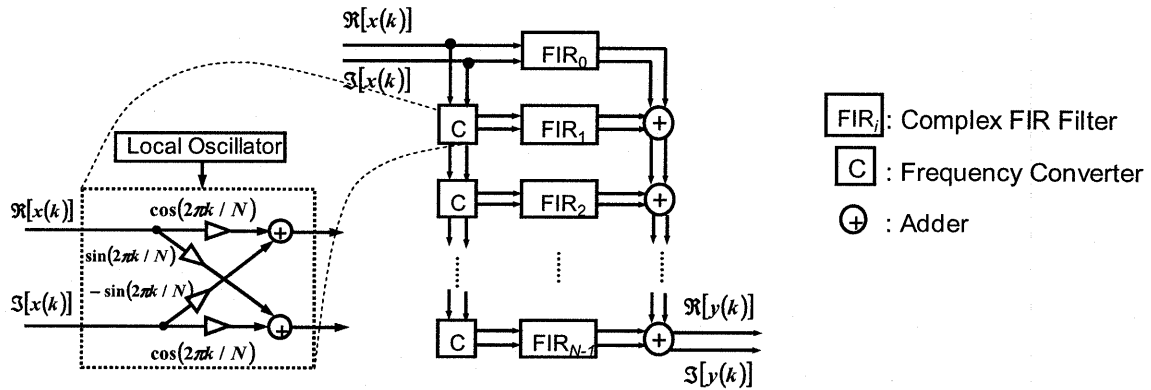


図1 量子計算エミュレータの回路構成. FIR フィルタと周波数変換器から構成される.

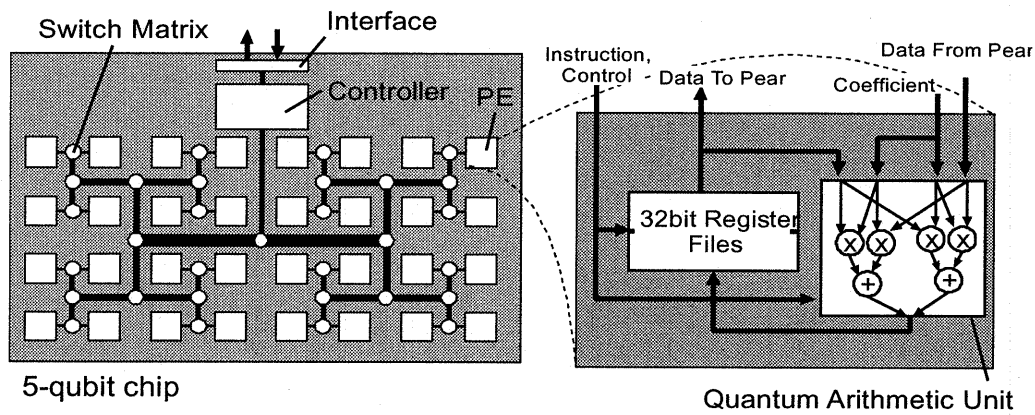


図2 量子回路プロセッサの回路構成. レジスタと算術演算を行うユニットから構成される PE がフラクタルな構造に結合される.

本研究では最初の取り組みとして、大規模集積回路におけるデバイスの多並列動作を利用した量子計算エミュレータを提案し、ハードウェア実装を通し実現可能性について議論した。このエミュレータは、集積回路における周期信号を量子計算に用いられる量子重ね合わせ状態に見立て、これを図1に示すようなデジタルフィルタと周波数変換器の集積回路で変換することにより、量子コンピュータ上で行われる状態の変換を模倣するものである。ここで、量子コンピュータ中の  $n$  qubit の論理基底  $\{|0\dots00\rangle, |0\dots01\rangle, |0\dots10\rangle, \dots, |1\dots11\rangle\}$  は、エミュレータ上では  $2^n$  個の複素周波数スペクトル  $\exp(j\omega_i t)$ ,  $i=0, 1, 2, \dots, 2^n-1$  によって表現される。PLD (Programmable Logic Device) を用いて実際に 3qubit 規模のエミュレータを作製し、Grover のアルゴリズムが実行可能であることを確認した。

他方、量子計算を行列計算の形で高速処理する専用のプロセッサ・アーキテクチャを提案し、同様にハードウェア実装を通し実現可能性について議論した。量子回路プロセッサと名付けたこのプロセッサは、 $2^n$  個の PE (Processing Element) を用いた SIMD (Sin-

gle-Instruction-flow-Multiple-Data-flow) 型並列処理により、量子コンピュータモデルの 1 つである量子回路上で利用される単機能の量子ゲートを行列計算によってシミュレートするプロセッサである。  $n$  qubit の量子回路プロセッサでは、  $n$  qubit 量子回路におけるゲート 1 つを 1 命令サイクルでシミュレートする。 よって、スペクトラム・コンピュータでは計算時間が最悪で  $O(2^n)$  となるのに対し、量子回路プロセッサでは  $n$  qubit の量子コンピュータと同じ処理時間で計算を行うことが可能である。 また、量子回路プロセッサは図 2 に示すようにハードウェア・アーキテクチャがフラクタルな規則性を持っているため、設計の効率化が可能となり、システムの大規模化が望める。 PLD を用いて 8qubit 規模のプロセッサを作製し、Shor のアルゴリズムが実行可能であることを確認した。

更に、この量子回路プロセッサに対して量子計算では許されない不可逆演算の機能を付加し、PE をより単純な構成にすることにより、量子コンピュータのシミュレーションの枠組みを超えた、汎用的機能を持つ計算システムを構築する手法について議論した。 この議論の中で、量子系の確率振幅を 1 ビットで表現し、数値演算で表現していた量子ゲート操作をいくつかの単純なビット操作により模擬することにより、Shor のアルゴリズムに類似する方法で因数分解が可能であることを示した。

このように、本論文では量子計算を LSI で実現する場合の計算手法およびシステム、デバイス構成について複数のアプローチ提案し、シミュレーションおよび実測結果を用いて検証を行った。 これを通じて、LSI において指数関数的に増大するデバイス数を有機的に結合し大規模な演算を行う方法についての一つの道筋を示した。