

## 審査の結果の要旨

論文提出者氏名 大内 真一

本論文は「大規模集積回路を用いた量子回路プロセッサに関する研究」と題し、量子コンピューティングのアルゴリズムをシリコン集積回路でエミュレートし、かつ現実的な年数で量子コンピューティングに比肩する性能の大規模演算を実現できるハードウェアを提案試作した結果を提示するもので、全6章で構成されている。

第1章は序論であって、計算科学における複雑大規模で未解決な問題を処理するものとして量子コンピューティングが提案され注目を集めつつある経緯を紹介し、これにシリコン集積回路技術の側からアプローチしようとする本研究の基本姿勢と目的を説明している。

第2章は「量子コンピュータの理論」と題し、量子力学原理に基づく量子コンピュータの独自のビット概念（量子ビット）と演算ゲート操作（量子回路）を説明し、これによって従来にない計算の効率化が計れる適用例としてショアの因数分解アルゴリズムとグローバーのデータ検索アルゴリズムを紹介した後、原子、分子、固体量子ドットなどによって量子コンピュータ動作の実験的実証が図られているものの現実のデバイスに結実するには状態のコヒーレンスの破れ（デコヒーレンス）などの難点を抱えている事を指摘して、量子力学原理が必ずしも現れていないシリコン集積回路によっても、効率的なアルゴリズムを探索するエミュレーションを行ったり、現実的な年数の中である程度の大規模計算を実現することができるという本研究の意義を述べている。

第3章は「デジタルフィルタ群を用いた量子回路エミュレータ」と題して、量子コンピュータの働きを直裁にエミュレートすることを目的として、電気的周期信号によって波動関数を表し、各基底状態を異なる周波数でラベル付けして、周波数軸上での重ね合わせ信号を FIR (Finite Impulse Response) フィルタに通し量子ゲートに相当するユニタリ変換を施したエミュレーションの結果を述べている。回路を設計し FPGA を用いて実作して、3量子ビットのグローバーのアルゴリズムを実行するとともに、実測結果に基づいて計算誤差の評価が行われている。

第4章は「再帰的ハードウェア構造を用いた量子回路プロセッサ」と題し、前章のエミュレータがビット数の増加と共に計算時間とハードウェア量の両方が指数関数的に増加してしまうのに対して、ハードウェア量の指数関数的増加は集積回路の集積密度の指数関数的年次増加によってある程度対処できると容認する一方で、計算方式の工夫によって計算時間を多項式的増加に抑えた「量子回路プロセッサ」と名づける新しいプロセッサを提案している。これはユニタリ変換を高並列に処理する SIMD (Single Instruction Stream / Multiple Data Stream) 型プロセッサの一種であり、スイッチングデバイスのフラクタルツリー構造をもっている上、量子ビット数の増加に対してもフラクタル的に拡張することで対処できるという設計容易性を持っている。5量子ビットおよび8量子ビットのプロセッサを PLD (Programmable Logic Device) で実作して、量子フーリエ変換およびショアのアルゴリズムを実験した結果を述べている。

第5章は「確率振幅を1ビットで表現する量子回路プロセッサ」と題して、前章と同じく再帰的構造のハードウェア上で、量子ビットのベクトル角部分を省いて1ビットで確率振幅を表す簡略化を行い、一方量子計算で許されない不可逆的な一般演算も取り込んで、より汎用な計算機を指向した新しいプロセッサの研究結果を述べている。16量子ビットまでのプロセッサを PLD で試作して、充足可能性問題(SAT)と因数分解アルゴリズムの実験を行った結果が述べられている。

第6章は結論であって、以上の研究の結果を総括し、計算科学の面と実用的な大規模計算システムの両面から見た本研究の意義と今後の展望を述べている。

以上本論文は、シリコン集積回路によって量子コンピューティングをエミュレートして実際の計算における諸問題を明らかにするとともに、現実的な年数の範囲内で量子計算機と比肩し得る新しい大規模計算向けプロセッサを提案し実証したものであって、電子工学の発展に寄与する所が少なくない。

よって本論文は博士（工学）の学位請求論文として合格と認められる。