

## 論文の内容の要旨

### 論文題目

#### Device / Circuit Cooperation Scheme for Low Power and High Performance VLSIs

(低消費電力・高性能 VLSI のためのデバイス・回路の協調技術に関する研究)

### 氏名

犬飼 貴士

LSI の性能は、そのキーデバイスである MOSFET の微細化によって過去 30 年以上に渡って向上し続けてきたが、現在のデバイススケール技術は今後オフ電流の増大によるスタンバイ消費電力の問題に直面することが知られている。ゲート長が  $0.1\mu\text{m}$  以下の領域になると、MOSFET のオフ電流は、1) 電源電圧  $V_{\text{dd}}$  の低下に伴う閾値電圧  $V_{\text{th}}$  の低下によるサブスレシヨルドリークの増大、2) ゲート酸化膜の薄膜化によるゲートトンネルリークの増大、3) halo 構造など急峻なチャネルプロファイルに起因する接合リークの増大により、増加の一途を辿ることが知られている。特にサブスレシヨルドリークによるオフ電流はオン電流と本質的なトレードオフの関係にあるため、デバイス技術による低消費電力化と高速化の両立は困難を極めることになる。そこで、本研究では回路との協調技術によって、従来のデバイス技術が直面するオフ電流増大の問題を解決し、低消費電力でかつ高性能な LSI を実現することを目的とする。ここで、これまでの回路技術による低消費電力化のアプローチの多くは、既存のデバイス技術の上でいかに消費電力を小さくするかという、いわゆる「回路設計のレベル」でのアプローチであったが、本研究ではそれを「デバイス設計のレベル」に掘り下げることにより、従来の回路設計によるアプローチが直面する問題点を解決するとともに、そのメリットを最大限に引き出すデバイス設計の指針を示すことを目的とする。特に本研究では以下の 2 つの要素技術に着目する。

- (1) スタンバイリーク削減技術
- (2) 閾値電圧可変技術による低電圧回路の高速化技術

スタンバイ時の消費電力を低減するための回路技術はこれまでにいくつか提案されているが、いずれの回路方式もデバイスの微細化および電源電圧の低下によってその優位性が損なわれることが知られている。そこで、本研究では、従来の回路技術が直面する問題を解決し、極めて小さなスタンバイ消費電力を実現する新しい回路方式、Boosted Gate MOS (BGMOS)を提案する(図 1)。CMOS 回路部をゲート酸化膜が薄く  $V_{th}$  が低いデバイスで構成することにより、低い  $V_{dd}$  での高速動作を実現するとともに、 $V_{th}$  が高くゲート酸化膜が比較的厚い MOSFET をリークカットオフスイッチ(Leak cut-off Switch: LS)として CMOS 回路に直列に接続することでスタンバイリークの低減を図る。この回路方式は、 $V_{th}$  が低いデバイスで構成された CMOS 回路に  $V_{th}$  が高いスイッチを直列に付加する Multiple Threshold voltage CMOS (MTCMOS)に類似した構成となっているが、LS を  $V_{th}$  が高くゲート酸化膜の厚い MOSFET で構成することで、サブスレシヨルドリークだけでなく、MTCMOS では抑制できないゲートリークを抑制することが可能となる。また、アクティブ時には  $V_{dd}$  より高いゲート電圧で駆動することによって、ゲートオーバードライブ( $V_{gs} - V_{th}$ )を大きくし、低電圧化によって MTCMOS が直面するエリアペナルティの問題を解決する。ここで、LS に用いるゲート酸化膜を回路部のデバイスと比較して厚くしているため、酸化膜の信頼性の問題は生じない。

本方式の有用性を検証するために、SPICE シミュレーションによってアクティブ時の性能を維持するために要するエリアペナルティおよびスタンバイ消費電力を見積もった(図 2,3)。これらのシミュレーション結果より、提案する BGMOS は従来の回路方式(MTCMOS)と比較して、充分小さなエリアペナルティで極めて小さなスタンバイ消費電力が実現できていることが分かる。BGMOS は従来のデバイス技術が直面する問題を回路技術によって解決する一方で、従来の回路技術が直面する問題をデバイス設計の再検討によって解決しているという点で、デバイス技術と回路技術の溝を埋める技術と考えられる。

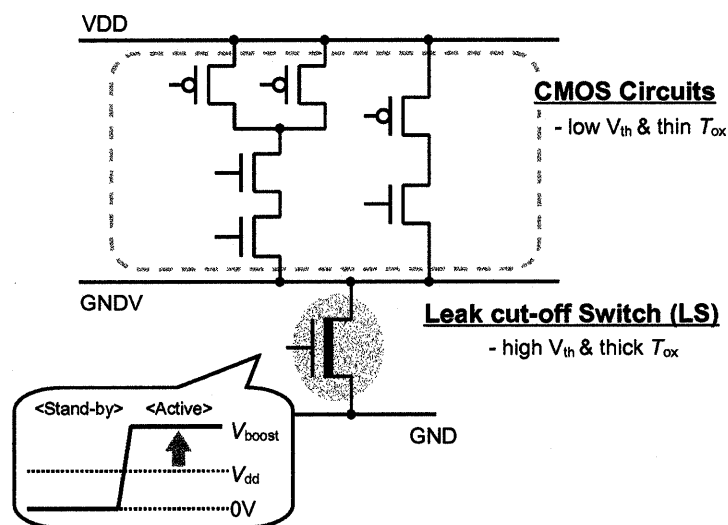


図 1 提案する BGMOS の模式図

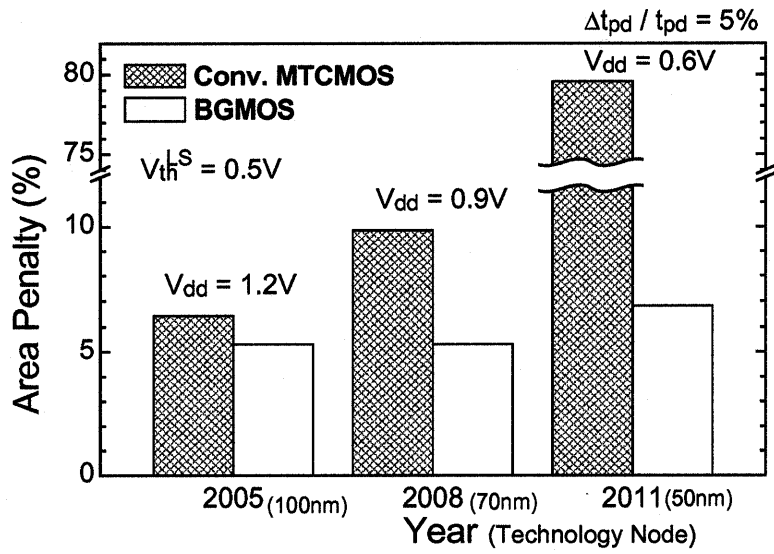


図 2 エリアペナルティのトレンド

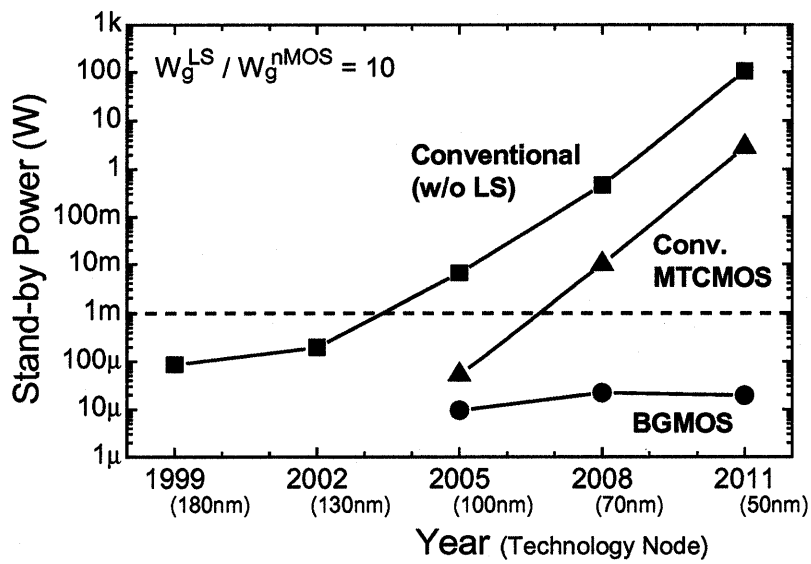


図 3 スタンバイ消費電力のトレンド

次に、閾値電圧可変技術による低電圧回路の高速化について述べる。閾値電圧可変技術である Variable Threshold voltage CMOS (VTCMOS)は基板バイアス効果を利用することによって、 $V_{th}$ をアクティブ時とスタンバイ時で切り替えて、高速動作と低リーク電流を両立する回路方式である。ただし、前述の通り  $V_{dd}$ の低下によりアクティブ時の  $V_{th}$ は低下の一途を辿るために、スタンバイ時のオフ電流すなわち  $V_{th}$ を一定に保つことは基板バイアスの制約上から困難である。ただし、VTCMOSを与えられたオフ電流の条件の下で高速動作が必要なときにのみ  $V_{th}$ を低下することによってオン電流の向上を図るための技術と考えるとスタンバイ時の  $V_{th}$ を必ずしも一定とする必要がなく、また、低  $V_{dd}$ 化とともにオン電流の  $V_{th}$ 依存性が強くなるために  $V_{th}$ の変化量をひいては基板バイアスの変化量を低減することが可能である。

ここで、高速化のための技術という観点から VTCMOS に用いられるデバイスの最適設計について考えてみる。VTCMOS が利用する基板バイアス効果はデバイスの駆動力を劣化させることが知られているために、(基板バイアスを変化させることを前提としない)通常のデバイス技術ではその効果を抑える方向でデバイス設計がなされる。すなわち、一般のデバイス設計指針によって作製された LSI においては VTCMOS のメリットを最大限に享受することができない可能性がある。本研究では、この駆動力と  $V_{th}$ の制御性のトレードオフを明らかにし、VTCMOS の性能を最大限に引き出すためのデバイスの設計指針を示すことを目的とした。特にデバイスにおける基板バイアス効果の大きさを示す指標である基板バイアス係数( $\gamma$ )に着目して、その最適設計をデバイスシミュレーションによって明らかにした。

図 4 は、スタンバイ時(高  $V_{th}$ 時)のオフ電流を一定としたときのアクティブ時(低  $V_{th}$ 時)のオン電流と $\gamma$ の関係を示したものである。基板バイアスの変化量( $|\Delta V_{bs}|$ )をパラメータとした。図より、 $|\Delta V_{bs}|$ が 0V を含めて小さい領域では従来の設計指針が示すように $\gamma$ の値は小さいことが望ましいが、 $|\Delta V_{bs}|$ がある程度大きくなると $\gamma$ が大きなデバイスのメリットが得られることが分かる。ここで、 $\gamma$ の最適設計が逆転する境界となる基板バイアス( $V_0$ )は、 $\gamma$ が大きくなることによるデバイス特性(駆動力)の劣化が  $V_{th}$ の変化量が大きくなることによって補償されるのに必要となる基板バイアスと考えることができる。図 5 に VTCMOS におけるデバイスの設計指針を従来の指針と併せて示す。VTCMOS の性能を最大限に引き出すためには、 $|\Delta V_{bs}|$ を  $V_0$ より大きくするとともに、 $\gamma$ の値を大きくすることが不可欠である(図 6)。また、世代が進むにつれて  $V_0$ の値は小さくなるため、基板バイアスの変化量を低下させる必要がある将来の LSI においても $\gamma$ の大きなデバイスを VTCMOS に用いることの優位性が維持されることが分かった。

以上の議論はデバイス性能の観点からなされたものであるが、基板バイアス効果は多数の MOSFET が直列接続され、アクティブ時にも基板バイアス効果が現れる縦積み回路などの性能を劣化させることが知られている。そこで、Mixed-mode のデバイスシミュレーションによって、縦積み回路の性能(オン電流)と $\gamma$ の関係を調べた。その結果、境界となる基板バイアス( $V_0$ )の値がわずかに増加するだけで、縦積み回路においても $\gamma$ の大きなデバイスの優位性が保たれることが分かった。また、基板バイアスを充分大きく変化できる場合においては、そのメリットが失われるどころかむしろ大きくなることが分かった。これは、VTCMOS による低  $V_{th}$ 化にデバイスのオン電流向上の効果に加えて縦積み回路による電流の減少率(Degradation factor,  $F_d$ )を低減する効果があるために、より低い  $V_{th}$ を実現することが可能である $\gamma$ の大きなデバイスのメリットが、これらの二重の効果によって大きくなることに起因する。また、この低  $V_{th}$ 化による  $F_d$ の低減効果は、デバイスの速度飽和現象により見かけ上のドレイン飽和電圧( $V_{dsat}$ )が低下することに起因することが分かった。

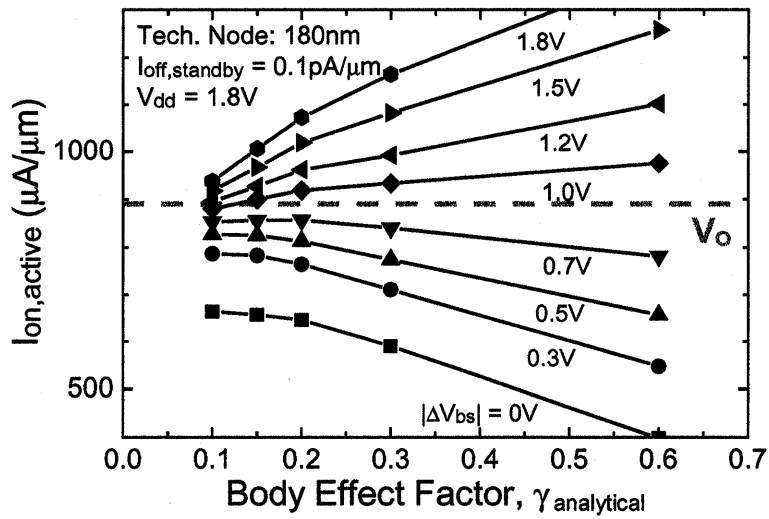


図 4 アクティブ時のオン電流と基板バイアス係数の関係

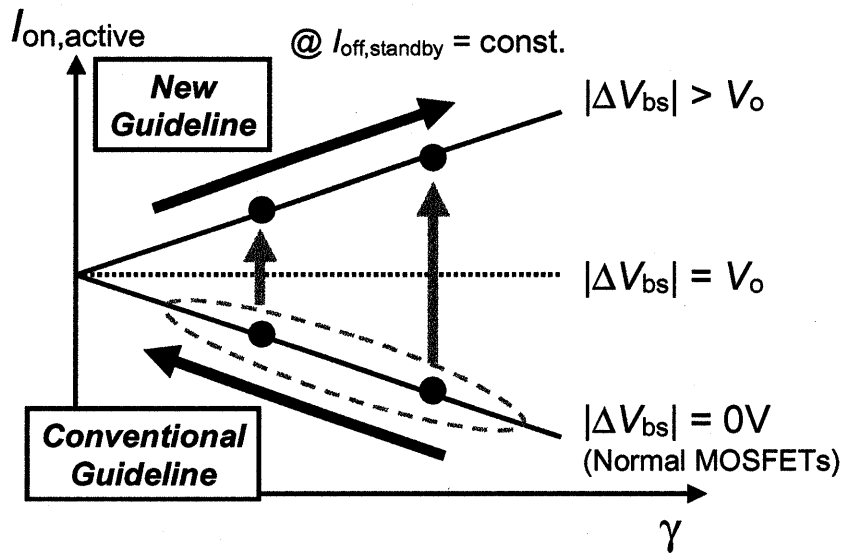


図 5 VTCMOS のデバイス設計指針