

論文の内容の要旨

論文題目 Circuit Design for Low-Power High-Speed VLSI Processor in 0.5V Generation
(0.5V 世代の低電力・高速 VLSI プロセッサを志向した回路設計)

氏名 野瀬 浩一

LSI のデバイスの微細化・集積化はムーアの法則にしたがって現在も着実に進んでいる。LSI の速度も微細化によって上昇することから、この法則は現在まで広く支持されている。それに伴い、消費電力・耐圧の観点から電源電圧もまた電圧スケーリングと呼ばれる低電圧化が進んでいる。LSI の将来動向を示すロードマップとして知られている ITRS (International Technology Roadmap for Semiconductors)によると、2011 年には電源電圧が 0.5V 程度になると予想されている。しかしながら微細化・高速化のためにスケーリングを行うと、消費電力の増大を招く。従来の高速化重視の考え方から、バッテリー時間が重要となる携帯端末やコストが問題となるパッケージ技術など低消費電力に対する要求が強くなっている現在の LSI 産業では、この消費電力の増大を抑制することが最大の課題となっている。そこで単に微細化による高性能化だけではない新たな低消費電力化手法が強く求められている。また、0.5V 世代では温度特性や製造ばらつきといった今まで重要視されてこなかった問題も顕著に表れる。したがって、これらの問題を考慮した設計が今後の LSI 発展の鍵を握るといえる。また、ニーズの多様化に伴い、「個々に要求される性能を満たしながらも低消費電力化を実現する」ための手法を検討する必要がある。

一方、トランジスタの高速化は微細化により着実に進んできたが、近年、微細化では削減できない配線の遅延の増加が高速化への障害となっている。したがって、配線遅延をいかに削減することも重要な課題である。

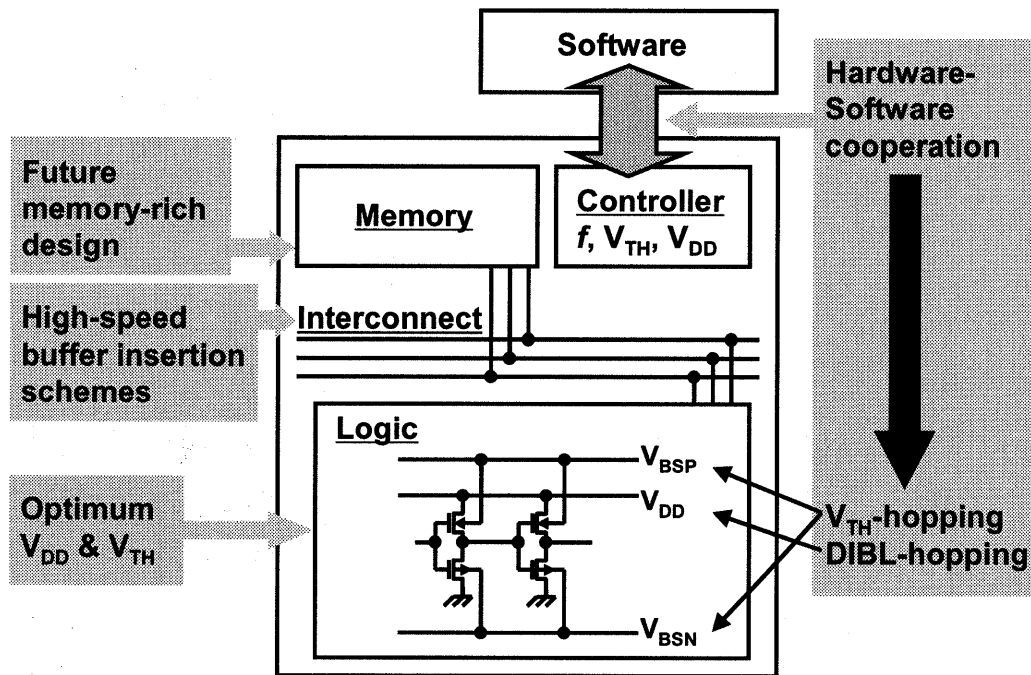


図1 本論文で提案する低消費電力・高速化手法

本研究では図1にあるような最適設計の理論, 配線の高速化回路そしてリーク電流削減手法を提案し, 将来の0.5V世代における低消費電力・高速LSIを実現可能にすることを目的としている。

第1章では序論として本研究の背景を述べ, 目的を明確化している。

第2章では高速・低消費電力化実現のための解析を行う上で重要な電流モデルおよび遅延・消費電力モデルを示し, 低消費電力化における問題点を示している。

第3章では, 低消費電力・高速化のための設計理論を提案し, 将来予測を検討している。

まず第1節では従来厳密に検討されていなかった貫通電力の定式化および将来予測を行った。この結果, トランジスタの閾値が電源電圧と同じ割合でスケールリングされた場合, 貫通電力は将来も消費電力全体の10%以下となることが示された。閾値はスタティック電力の増加を抑制するため電源電圧ほどスケールリングされない傾向にあり, その場合, 貫通電力は更に低減される。したがって, 貫通電流による消費電力の割合は将来大きくならないと予想される。

第2節では低電源電圧時の新たな問題としてゲート容量の電圧依存性を挙げ, その解析に有効な実効ゲート電圧の導出手法を提案した。その結果, ゲート容量の電圧依存性に関しては, 接合容量やオーバーラップ容量を無視した場合, 閾値が0から $V_{DD}/2$ に変化した時のゲート容量の変化は約30%であることが示された。

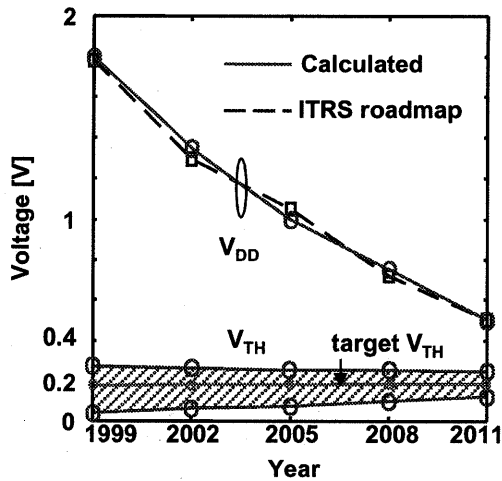


図2 最適電源電圧・閾値の将来予測

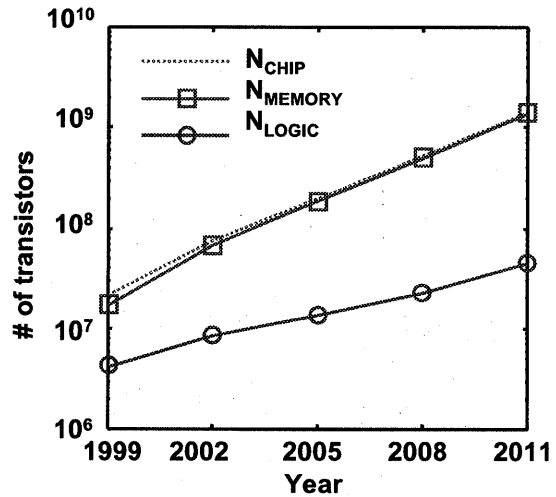


図3 メモリ部および論理部で使われるトランジスタ数の予測

これらの結果を踏まえ、第3節では、要求された動作速度を維持しながら消費電力を最小化するためには電源電圧・閾値をどうすべきかという観点から最適設計理論を検討した。具体的には、プロセス・設計パラメータや要求される動作周波数が与えられたとき、消費電力を最小化する最適電源電圧・閾値を解析する式を導出した。この式には従来の研究では厳密に考慮されていなかったプロセスばらつきや温度ばらつきなども考慮に入れている。その結果、スタティック電力が全体の消費電力の30%程度になるように電源電圧・閾値を選択すべきであることを示した。この提案式を用い、将来の設計指針を解析した。その結果、閾値を0.2V以下で設計するとリーク電流によるスタティック電力が急激に増大するため、閾値を0.2V程度にとどめるべきであるというシナリオを提案した(図2)。また、1999年では全体の約80%のトランジスタがメモリ部で使用されているとした場合、2011年にはその割合が97%まで上昇すると予測されること(図3)、2011年には論理段数を1999年の約半分に削減することが必要なことなど、提案したシナリオを基に今後のLSI設計における指針を示した。

第4章では、高速化を目指す上で障害となる配線遅延の改善手法を検討する。

近年、配線の高速化手法として有効かつ広く使われているバッファ挿入手法について、まず第1節では最適バッファ挿入理論を検討した。本研究では接合容量を考慮した最適バッファ設計理論の定式化や、バッファを等価抵抗に置き換える手法などを提案する。本提案手法を用い、SOI(Silicon On Insulator)技術を用いることによる優位性を検討した。SOI技術を用いることで従来のbulk技術と比較して遅延・消費電力共に15%削減することが可能である。さらに、遅延を最適値の5%だけ増加することを許容した場合、消費電力は20%削減可能であるという結果が得られた。

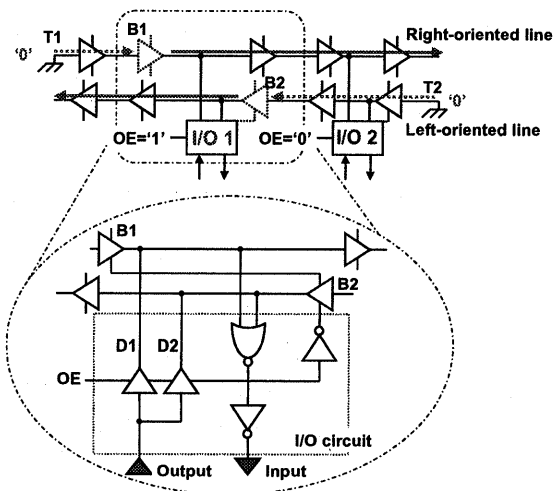


図 4 Dual-rail bus 方式

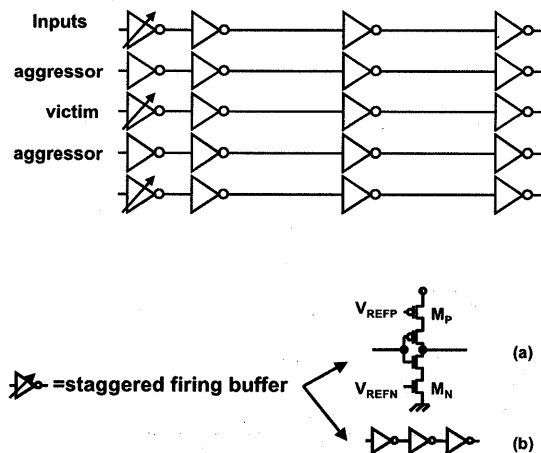


図 5 Staggered firing bus 方式

第 2 節では高速バス配線手法として、dual-rail bus (図 4) および staggered firing bus (図 5) 手法を用いた双方向・単方向バス配線の高速化回路を提案し、2 種類のプロセスを用いて設計・測定を行うことでその効果を実証した。また、本提案回路の将来に向けた有効性を示すため、世代ごとの比較を行った。dual-rail bus 手法の効果は世代が進むにつれ増大し、 $0.07\mu\text{m}$ 世代では双方向バスの遅延を約 1 桁削減可能である。また、staggered firing bus はどの世代においても単方向バスの遅延を約 20% 削減できる。したがって、本提案回路は将来の配線遅延増大の解決に向けた回路手法として有効である。

第 5 章では低消費電力回路技術の提案を行っている。低電圧・高速動作を実現するためにはトランジスタの閾値を下げるのが効果的であるが、その場合、動作時のリーク電流の増大によって消費電力が指数関数的に増大してしまう。この問題を解決するため、本研究では動作時のリーク電流削減回路を提案する。

第 1 節では閾値をプロセッサの負荷に応じて変化させる閾値ホッピング (V_{TH} -hopping) 手法を提案する。本手法は特に動画や音声といったリアルタイムアプリケーションに有効な手法で、ソフトウェアがリアルタイムで処理状況を把握し、負荷の軽い時間は閾値を上昇させ周波数を下げることで動作時の無駄な消費電力を削減する。図 6 はその概要図である。閾値の制御は基板バイアスを変化させることによって行う。本手法の効果をマルチメディアアプリケーションでよく用いられる画像圧縮手法である MPEG4 を用いて検討したところ、消費電力を 81% 削減可能であるという結果が得られた。また、本手法は従来の高閾値のプロセッサの高速化にも有効であることを示すため、RISC プロセッサを製作し測定を行った。その結果、正バイアスを印加することによる接合リーク電流の増加を抑制しながら 29% の高速化を実現した。

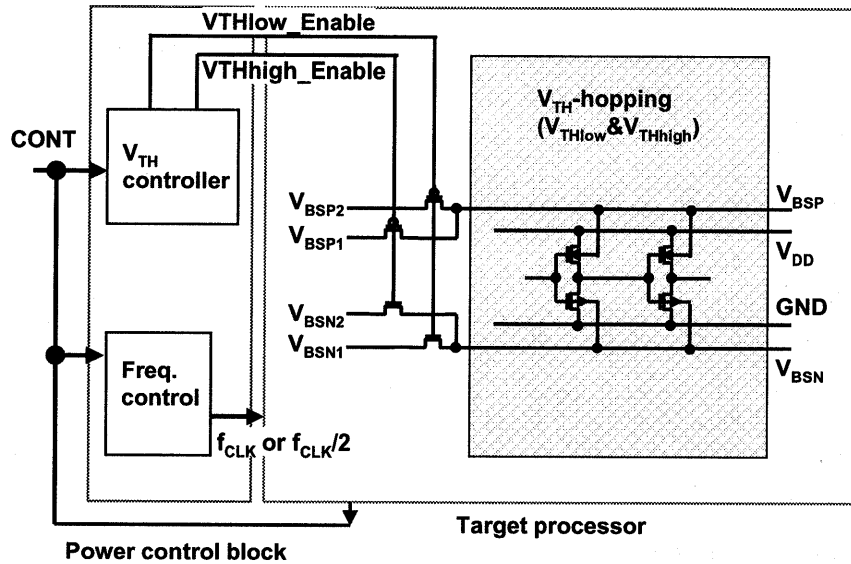


図 6 V_{TH} -hopping の概要図

一方、第 2 節では上述した基板バイアス制御以外の動的閾値制御手法として、短チャネル効果の一つとして知られている drain induced barrier lowering (DIBL) を利用し、動作時のスタティック電力およびダイナミック電力を削減する DIBL-hopping を提案した。本手法では基板バイアスを制御する代わりに電源電圧を動的に変化させる。高速に動作させる場合は電源電圧を高く、それ以外では電源電圧を低くする。このとき、DIBL 効果による閾値変動が起こるため、電源電圧を下げることにより、ダイナミック電力およびスタティック電力が同時に削減される。ソフトウェアでの制御方式や周波数切り替え手法などは V_{TH} -hopping と同様な手法が利用可能である。この効果を SPICE シミュレーションで検証したところ、低電源電圧動作時は高電源電圧動作時に比べスタティック消費電力が約 1/5 に削減されることが示された。

最後に第 6 章で本研究の成果をまとめている。

以上、0.5V 世代における高速化・低消費電力化を実現するため、その解決手法を検討し、最適設計理論およびその将来予測を提案した。また低消費電力・高速回路手法を提案しシミュレーション・実験を行いその効果を実証した。