

審査の結果の要旨

論文提出者氏名 野瀬 浩一

本論文は「Circuit Design for Low-Power High-Speed VLSI Processor in 0.5V Generation」(和訳：0.5V 世代の低電力・高速 VLSI プロセッサを志向した回路設計)と題し、低電力かつ高速な回路設計の理論的基礎を構築するとともに、低電力化に有効な配線の高速化回路そしてソフトウェアとの協調による消費電力削減手法を提案し、将来の低消費電力・高速プロセッサの設計を実現可能にする方法を提示するもので、全 6 章で構成されている。

第 1 章は「Introduction」(序論)であり、近年の微細化・低電源電圧化に伴う消費電力の問題について述べるとともに、本研究の背景を述べ、目的を明確化している。

第 2 章は「Principles of MOSFET models」(MOSFET モデルの原理)と題し、高速・低消費電力化実現のための解析を行う上で重要な電流モデルおよび遅延・消費電力モデルを説明し、低消費電力化に際しての問題点を提示している。

第 3 章は「Analysis and Future Trend of Low-Power and High-Performance Circuits」(低消費電力・高速回路の解析と将来予測)と題し、低消費電力・高速化のための設計理論を提案し、将来予測を検討している。まず、従来厳密な検討がなされていなかった貫通電力の定式化および将来予測を行っている。また、低電源電圧時の新たな問題としてゲート容量の電圧依存性を挙げ、その解析に有効な実効ゲート電圧の導出手法を提案している。これらの結果も踏まえ、要求された動作速度を維持しながら消費電力を最小化するための最適設計理論を提示している。この理論を用いて将来の設計指針を議論し、閾値を 0.2V 程度に設定するべきであるというシナリオを提案している。

第 4 章は「Buffer Insertion Schemes for High-Speed and Low-Power Interconnect Designs」(高速・低消費電力配線設計のためのバッファ挿入手法)と題し、高速化を目指す上で障害となる配線遅延の改善手法を検討する。まず、接合容量を考慮した最適バッファ設計理論の定式化や、バッファを等価抵抗に置き換える手法などを提案する。本提案手法を用い、SOI(Silicon On Insulator)技術を用いることによる優位性について検討し、従来の bulk 技術と比較して遅延・消費電力共に 15%程度削減することが可能であることを示している。一方、バッファを用いたバス配線の高速化手法として、双方向・単方向バス配線の高速化回路を提案し、2 種類のプロセスを用いて設計・測定を行いその効果を実証している。また、本提案回路の将来予測をすることで将来に向けた有効性を示している。

第 5 章は「Hardware-Software Cooperative Systems for Low-Power Processors」(低消費電力プロセッサのためのハードウェア・ソフトウェア協調システム)と題し、ソフトウェアとハードウェアの協調によるリアルタイムアプリケーションの低消費電力化手法の提案を行っている。低電圧・

高速動作を実現するためにトランジスタの閾値を下げた場合に顕著になる動作時のスタティック電力を削減する手法として閾値ホッピング(V_{TH} -hopping)手法を提案している。本手法では、ソフトウェアがリアルタイムで処理状況を把握し、プロセッサの負荷の軽い時間は閾値を上昇させ周波数を下げることで動作時の無駄な消費電力を削減している。閾値は基板バイアスを変化させることで制御する。本手法を MPEG4 に適用し、消費電力の削減効果を評価している。また、RISC プロセッサを試作し測定を行い、その有効性を実証している。一方、短チャネル効果の一つとして知られている Drain Induced Barrier Lowering (DIBL)を利用し、動作時のスタティック電力およびダイナミック電力を削減する DIBL-hopping を提案している。この効果を SPICE シミュレーションで検証し、その有効性を明らかにしている。

第 6 章は「Conclusion」(結論)であり、本研究の成果を総括している。

以上のように本論文は、0.5V 世代における低消費電力・高速集積回路を実現するために、低電力かつ高速な回路設計の理論的基礎を構築するとともに、低電力化に有効な配線信号の高速化およびリーク電力削減手法を提案し、その有効性を実験的に実証したものであって、電子工学上寄与するところが少なくない。

よって本論文は博士(工学)の学位請求論文として合格と認められる。