

審査の結果の要旨

論文提出者氏名 西村 信治

本論文は、将来のネットワークコンピューティングに向けた大容量光接続ネットワークスイッチの設計・構築技術について研究するとともに、それを実際に並列計算機システムへ応用した結果について論じたもので、6章より構成されている。

第1章は序論であって、研究の背景、動機、目的と、論文の構成が述べられている。

第2章は「高速光ネットワークスイッチ」と題し、光相互接続用のネットワークスイッチに求められる性能、実現形態、電気接続との比較に関し論じている。次世代（1～10ギガビットクラス）の計算機光ネットワークの実現には、大容量データを集中処理するネットワークスイッチの実現が、特に大きな課題である。本研究では「光・電気混載ネットワークスイッチ」、即ち入出力に光インターコネクションを使用し、スイッチ処理に電気信号処理LSI（大規模集積回路）を用いる形態を対象としている。光インターコネクションにより信号の高速・長距離伝送が可能になり、さらに電気信号にて信号処理することで高機能なスイッチングが実現できる。

第3章は「高速スイッチの設計」と題し、上記の光・電気混載ネットワークスイッチを構成する光インターコネクションモジュールとLSIの設計、およびボード実装技術について論じている。ここでは、シリアル、並列、および波長分割多重(WDM)の各光技術を比較検討し、並列光インターコネクションを選択している。並列構成は、低速デバイスを並列駆動する構造ゆえ、数100mまでの短い距離の接続を前提に同じ通信容量（～10Gbit/s）で比較すると、シリアル構成よりも高い経済性と信頼性を実現できる。次に、光接続の能力を最大限に生かせる新しい高速スイッチLSIについて述べている。光接続によりスイッチLSIの各入出力バッファ負荷が軽減するため、駆動能力ではバイポーラより劣るCMOSを積極的に使用する事が可能になり、CMOSのメリットである低消費電力、同一チップ上のメモリ搭載、低コストが期待される。本研究においては、専用のスイッチLSIをASIC (application specific integrated circuit)技術を用いて設計開発した。

光・電気混載スイッチにおいては、装置内のLSIと光デバイス間を接続する高速信号回路のタイミング設計と、並列チャンネル間のスキュー管理が重要な設計事項になる。特にタイミング設計においては、高速動作回路の短いクロック周期の中で十分な位相マージンを確保するための精密設計が必要である。本研究においては、出力側データチャンネル間のスキュー、出力データ信号のジッタ、入力バッファの要求するセットアップ・ホールドタイム、クロックジッタ、プロセス・電圧等のばらつき係数の5項目を積算し、位相マージンを求める計算方法を用いた。個々のデバイスの実測評価結果に基づいて上記5項目を積算することで、高精度なタイミング設計の可能なことが示されている。

さらに、高速信号配線の高密度実装技術に関し論じた。対象とするスイッチでは、1 Gbit/sクラスの信号線が、差動信号なら200～400本程度も1チップに集中する事になる。その際問題となる伝搬損失・クロストークに対して、実際に使用する基板材料の特性を測定し、設計ルールを決定する手法を確立した。さらに、同時スイッチングノイズなどの対策

として、電源レイアウトの最適化と、ノイズ源のフィルタ分離、電波吸収材の配置などを検討・実施している。

第4章は「実例としてのシステム 光RWC-1」と題し、上記のネットワークスイッチを実際の並列計算機システムへ応用して有効性を実証している。まず次世代情報処理機構(RWC)つくば研と共同で、光接続並列計算機「光RWC-1」に応用した。本装置は8つの並列ノード間を通信容量2.4Gbit/sの光インターコネクションで接続した構成を有する。光RWC-1は、大容量光データ伝送を実機搭載した計算機として世界初の試みである。ベンチマークテストの結果、ファイバ(50m)で接続した本装置と電気ケーブル(10m)で接続した同機種RWC-1とが、同等の性能を有することが明らかになった。これは、低遅延な光インターコネクションとレイテンシーを隠蔽するアーキテクチャの導入により、処理能力の距離依存性を小さくできた結果と言える。

第5章は「実例としてのシステム RHiNET」と題し、PCクラスタの内部ネットワークに光インターコネクション技術を適用する並列分散計算機システムRHiNET-2への応用に関し論じている。RHiNET-2スイッチは、大容量スイッチLSIと高速光モジュールをワンボードに実装した8×8スイッチシステムで、各ポートは大容量8Gbit/sのスループットを有する。大容量並列光インターコネクション部は12チャンネルのレーザとフォトダイオードを並列駆動する事により、8.8Gbit/sの大容量光データ接続を実現している。高速CMOSスイッチLSI部は、8入力8出力のクロスバースイッチ機能を搭載し、各ポートは8Gbit/sの高速通信容量を実現している。チップ全体では64Gbit/sの大容量スループットを有し、計算機ネットワーク用のCMOSスイッチLSIとして世界最高クラスである。スイッチシステム通過前後のエラーレート測定では、 10^{-11} 以下のビットエラーレートが十分な位相マージン(890 ps)をもって得られている。直線近似すると、エラーレート 10^{-20} では790psの位相マージンを持つことが推定される。Qファクタに換算した評価では、約 1.0×10^{-30} の値が得られ(数10年間のエラーフリーに相当)、ここでの近似計算では考慮していない経時劣化や装置故障の影響を考慮しても、実用上十分な動作余裕を持つことが明らかになっている。

最後に16台のPCと5台のRHiNET-2スイッチを接続して16ノードクラスタシステムを構成し、並列計算機システムとしての動作試験を行っている。並列計算処理プログラム(レイトレーシング)を実行したところ、4日間に渡って安定した動作を確認でき、当該スイッチの有効性が実機で証明された。

第6章は結論であって、本研究で得られた成果を総括するとともに、高速ネットワークスイッチにおける光インターコネクションの将来を論じている。

以上のように本論文は、次世代分散コンピューティングの基盤である光相互接続・高速ネットワークスイッチングに関し、光モジュール構成技術、高速LSI設計技術、高速ボード実装技術を研究し、得られた高速光ネットワークスイッチを実際の並列計算機システムRWC-1およびRHiNETに応用してその有効性を評価実証したもので、情報工学および電子工学分野へ貢献するところ多大である。

よって本論文は博士(工学)の学位請求論文として合格と認められる。