

## 論文の内容の要旨

### 論文題目

Low Voltage Circuit Design for High-Performance Flash Memories  
(高性能フラッシュメモリ回路の低電圧化に関する研究)

氏名 丹沢 徹

電気的に書き換え可能な不揮発性半導体メモリであるフラッシュメモリは、プログラムコード格納用メモリとして携帯電話に代表される携帯機器に搭載されている。また最近では、音楽や画像などのファイルをフラッシュに格納するメモリカードも急速に普及している。これら携帯システムの高性能化と電池寿命の延命化の要求に伴い、システムの電源電圧は現在2.7Vまで下がってきている。本研究では、低電圧化が困難と考えられるフラッシュメモリの主要な回路、即ち、昇圧回路・タイミング発生回路・レベルシフタ・センスアンプのそれぞれについて、さらなる低電圧化のための新規回路方式と回路設計技術について提案し、フラッシュメモリの低電圧化の限界について考察する。

フラッシュメモリの電源電圧は、フラッシュを制御するコントローラやシステムで共に用いられるその他のメモリの電源電圧と同一であるのが望ましい。ロジックデバイスやSRAMはすでに1.8Vで動作し、今後もトランジスタのスケーリング則に則ってさらなる低電圧化が進んでいく。これらと同一のプリント基板に実装または同一のシリコン基板に集積されるフラッシュメモリも同様に低電圧動作が要求される。フラッシュメモリには論理ゲート以外に複数の回路、即ち昇圧回路・タイミング発生回路・レベルシフタ・センスアンプが搭載されており、フラッシュメモリの低電圧化の限界はこれらの回路によって決まってくると考えられる。本論文ではこれらの各回路の新規回路方式と低電圧化回路設計技術の研究を行った。図1に本論文構成のブロック図を示す。

第一章では、低電圧化に伴う問題点を提起している。第一の問題点は、メモリセルのトンネル絶縁膜厚がセルの信頼性からスケーリングするのが困難であるため、低電圧化により書換え電圧( $V_{pp}$ )と電源電圧( $V_{cc}$ )の比が増大することである。この結果、単一電源フラッシュメモリで書換え電圧を発生する昇圧回路と電圧レベル変換を行うレベルシフタの回路動作が低電圧化の鍵になると指摘している。第二の問題点は、低電源電圧化とともにフラッシュメモリの内部タイミングを発生するタイミング発生回路の特性が悪化し、この結果チップの性能が落ちてしまうことである。低電圧下でも安定なタイミング発生回路の重要性を指摘している。第三の問題点は、低電圧化によってセルデータの読みだし信号量

が低下することである。低電圧でも高速にデータをセンスするセンスアンプが要求される。

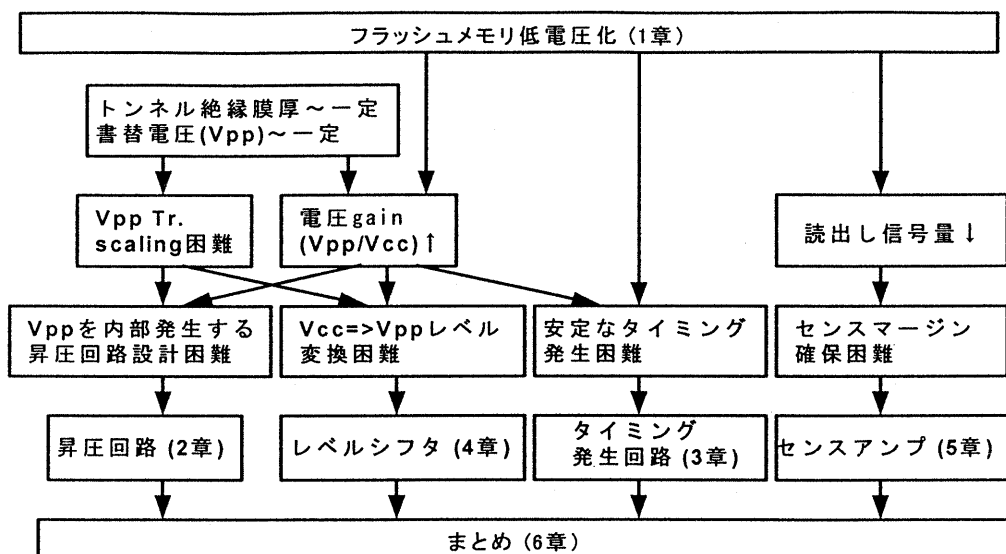


図1 論文の構成を示すブロック図

第二章では昇圧回路に関する四つの問題点に対する新規回路技術を提案している。第二章第一項では、低電圧化で立上がり時間が問題になってくる動的昇圧回路の解析を行い、従来の定常状態を表わす等価回路を動的状態を表わす等価回路に一般化し、回路パラメータ最適化式を導いた。昇圧回路は、単一電源フラッシュメモリにおいてデータ書き換えや読みだしのための高電圧をオンチップで発生する。メモリセル周りの絶縁膜厚はセルの信頼性で決まっているため、電源電圧が下がっても書き換え電圧や読みだし電圧は下がらない。従って、電源電圧の低下と共に昇圧回路の出力電流は減少し、高電圧発生時の立ち上がり時間は長くなる。従来知られていた昇圧回路に関する特性式は、定常状態における出力電流と出力電圧の関係式のみであり、ある出力電圧における出力電流が問題となる定常的な昇圧回路や立ち上がり時間が問題になる動的な昇圧回路の回路パラメータを最適にする設計理論はなかった。本章では、動的な昇圧回路について動的解析を行い、従来の定常状態を表わす等価回路を動的状態を表わす等価回路に一般化した。さらに、この等価回路をもとに回路面積を一定とした時に立ち上がり時間が最小になる条件で回路パラメータを最適にする解析式を導いた。これを用いれば、電源電圧と昇圧電圧が与えられた時に最適な段数を、さらに立ち上がり時間が与えられたときに必要なキャパシタンスを、それぞれ容易に計算できる。これらの結果は反復計算結果やこれまで知られていた段数が一から三の場合の結果と比較し10%以内で一致することを確認した。この結果は、書込みや消去時のワード線電圧を発生する昇圧回路に適用できる。第二章第二項では、ある出力電圧における出力電流が問題となる定常動作昇圧回路の解析を行い、回路パラメータ最適化式を導いた。また、読みだし時のワード線昇圧電圧発生時の二つの方式、即ち、スタンバイ時から昇圧電圧を発生しておくプール方式とアドレス遷移検知でワード線と容量結合したキャパシタを充電するキッカー方式のそれぞれについて必要回路面積とパワーの解析を行い、低電圧時に前者が後者に比べ有利となることを示した。得られた解析結果は回路シミュレーション結果と比較し5%以内の誤差で一致することを確認した。本章で得られた最適化方法はNOR型フラッシュメモリにおけるプール方式読みだし時のワード線電圧や書込み時のビ

ット線電圧を発生する昇圧回路に適用できる。第二章第一項と第二項で得られた最適化式によって、フラッシュメモリ内のすべての昇圧回路の最適化を容易に実行できるようになった。プール方式読みだし方式の唯一の問題点はスタンバイ電流であるが、本項ではさらに低スタンバイ電流化のための回路方式を提案している。第一に、基準電圧を発生するバンドギャップリファレンスの低消費電流化の限界と昇圧電圧を検知する検知抵抗の抵抗値の限界について解析を行い、DC電流の最小化を議論した。第二に、スタンバイ昇圧回路でのAC電流を最小化するため、スタンバイ昇圧回路動作を調べた。任意条件でこれらの回路を最適に設計できる方法を示した。これらの回路技術をNOR型フラッシュメモリに搭載し、1.5Vの低電圧動作と2 $\mu$ Aの低消費電流化が実現できることを実験的に示した。第二章第三項では、昇圧電圧のリップルを抑える昇圧回路制御回路を提案している。このリップルは、要求される高耐圧トランジスタのブレークダウン電圧を上昇させるためスケールリングを困難にしている。複数に分割した昇圧回路を位相のずれたクロックで駆動させ、昇圧レベルが検知されたらクロックの昇圧回路への転送をすべてストップさせると共にそのときのクロックの論理値を保持するラッチを設け、昇圧レベルが低下した後ラッチに保持された論理とクロックの論理が一致したらクロックの転送を再開させる方式を用いることによってノイズを抑えつつリップルを抑えることが可能となった。0.5Vの低電圧化が実現できるため高耐圧トランジスタを7%スケールリングでき、結果としてチップサイズを3%低減できることを示した。第二章第四項では、複数昇圧回路の占有面積を低減できる小面積化方式を提案している。同時に動作しない昇圧回路複数を提案のスイッチを用いて一体化することができるため、従来に比べ昇圧回路面積を40%低下できた。これによって低電圧化に伴う昇圧回路面積の増加を抑え、NANDフラッシュに搭載した結果従来に比べチップサイズを3.5%縮小できた。

第三章では、昇圧回路を駆動するクロックを発生するオシレータと昇圧パルス幅を制御するタイマー回路を提案した。昇圧回路は入力されるクロックによって動作し、昇圧電圧パルス幅は内部タイマーで制御される。電源電圧が下がってくると、従来のクロックやタイマーはパルス幅が長くなり、その結果書込みなどの時間が長くなってしまいう問題があった。一方、電源電圧の動作保証範囲内で最大電圧条件下では反対にクロックやタイマーのパルス幅が短くなるため昇圧動作ピーク電流やパワーが増大するという問題があった。本章では、電源電圧が増加するほどクロック周期が長くなる、従来とは電源電圧依存性が反対の昇圧回路駆動オシレータを新規提案し、高い電源電圧ではピーク電流とパワーの増大を抑えつつ、低い電源電圧では立ち上がりを加速することができるようになった。これは、電源電圧依存性の小さい基準電圧と定電流で充電され電源電圧とともに増加するキャパシタ電圧を比較増幅することによって実現している。さらに、電源電圧・温度・プロセスばらつきの依存性が小さいタイマーを新規提案した。これは、入力電圧とこれに比例する電流で充電されるキャパシタ電圧を比較増幅することによって実現している。新規提案のオシレータとタイマーをNAND型フラッシュメモリに搭載し、最速条件下でのパワーを20%低減しつつ最遅条件化での書込み時間を30%短縮できることを実証した。電源電圧・温度・プロセスばらつきの依存性が小さい書き換えパルス幅を発生することができるようになったため、低電源電圧化でも安定したデータ書き換えを実現できるようになった。

第四章では、NANDフラッシュ用NMOSハイレベルシフト、NORフラッシュ用CMOSハイレベルシフト・ロウレベルシフトを提案している。NANDフラッシュは性能に比べコスト重視のため、高耐圧トランジスタはNMOSだけを用いている。一方、NORフラッシュには読みだし性能重視のためCMOSが用いられている。第四章第一項及び第二項ではそれぞれ、低しきい電圧NMOSトランジスタを用いて動作可能電圧を1.4V、1.2Vまで低下するとともに昇圧電圧からのリークを従来並みに抑える構成のレベルシフトを提案し実験により検証している。第四章第三項では、動作電圧を従来に比べ1V低減できる回路を提案、0.5Vの低電圧化が実現できるため高耐圧トランジスタを7%スケールリングでき、結果としてチップサイズを3%低減できることを示した。

第五章では、NOR型フラッシュメモリ用の低電圧動作センスアンプを提案した。従来では、誤書込み防止のためビット線電圧をクランプするコンダクタンスの大きいトランジスタとゲートドレインショートトのトランジスタを負荷とし、両トランジスタの接続点をオペアンプに入力していたため電源電圧の下限は1.9V程度であった。提案のセンスアンプではビット線クランプトランジスタのみを負荷とし、ビット線電圧を直接オペアンプに入力することによって1.5V以下の低電圧化が可能である。このとき、このクランプトランジスタサイズの最適化設計方法が重要となるが、本章ではさらに、ビット線充電スピード条件・十分なビット線対振幅条件・ペアトランジスタばらつき条件・ばらつきのセル消去分布に与える影響に関する条件から、クランプトランジスタサイズの最適設計方法も示した。提案のセンスアンプをNOR型フラッシュメモリに搭載し、1.5Vでもクランプトランジスタサイズの設計ウインドウを十分確保しつつ従来と同等のスピードで読み出しを行なうことができることを実証した。

第六章では本論文の結論を総括し、本論文で提案された回路や設計理論に基づくことによってフラッシュメモリの電源電圧を1.5Vまで低電圧化可能であるとの結論に至った。表1に本研究の成果をまとめる。本章ではさらに、NOR型・NAND型のそれぞれに関して昇圧の観点から低電圧化の限界について議論している。低電圧化のためにチップサイズを増やすことはできないという基準の上で、低電圧トランジスタの性能が従来と同等以上であること、その他のアナログ回路が動作すること、書込みや読みだしの昇圧の負荷を減らせるページモードといった新規アーキテクチャの導入を前提とした。結果、NOR型・NAND型とも1.2Vまで低電圧化可能と結論している。加えて、さらに一般化した昇圧回路の最適化方法や1V以下で動作可能なセンスアンプなど将来に残された取り組むべき問題を提起している。

表1 本研究のフラッシュメモリ低電圧化に対する寄与

		従来	本研究	検証
2章	書込み昇圧回路	- 定常状態理論のみ	- 動的理論へ拡張	Simulation
	読出し昇圧回路	- 最適化理論なし	- 最適化理論	Sim.+0.25um NOR
	低リップル回路	- $V_{ccmin}=3.3V$	- $V_{ccmin}=1.5V$	Simulation
	小面積化方式	- $V_{max}=9.6V$	- $V_{max}=9.1V$	0.4um NAND
3章	タイミング発生回路	$V_{ccmin}=2.7V$	$V_{ccmin}=1.5V$	0.6um NAND+Sim.
4章	NMOS H-レベルシフタ	$V_{ccmin}=2.4V$	$V_{ccmin}=1.5V$	0.4um NAND
	CMOS H-レベルシフタ	$V_{ccmin}=1.8V$	$V_{ccmin}=1.2V$	0.25um NOR+Sim.
	CMOS L-レベルシフタ	$V_{max}=9.6V$	$V_{max}=9.1V$	Simulation
5章	センスアンプ	$V_{ccmin}=1.9V$	$V_{ccmin}=1.5V$	0.25um NOR

$V_{ccmin}$ : 回路の動作下限電源電圧

$V_{max}$ : 内部最大電圧