

審査の結果の要旨

論文提出者氏名 丹沢 徹

本論文は、「Low Voltage Circuit Design for High-Performance Flash Memories」(和訳:高性能フラッシュメモリ回路の低電圧化に関する研究)と題し、フラッシュメモリの主要回路の低電圧化を実現するための新規回路方式と回路設計技術について提案し、設計・試作・評価を通してその有効性を実証したもので、全6章より構成される。

第一章は「Introduction」(序論)であり、携帯機器に搭載されるフラッシュメモリの低電圧化の要求から、フラッシュメモリの主要回路である昇圧回路・タイミング発生回路・レベルシフタ・センスアンプの低電圧化の必要性を示し、本論文の目的と背景を明確にしている。

第二章は「Design of Charge Pump Circuit」(昇圧回路の設計)と題し、昇圧回路に関する四つの問題点に対する新規回路設計技術を提案している。第一項では、低電圧化で立上がり時間が問題になってくる動的昇圧回路の解析を行い、従来の定常状態を表わす等価回路を動的状態をも表わす等価回路に一般化している。この等価回路をもとに回路面積を一定とした時に立上がり時間が最小になる条件で回路パラメータを最適にする解析式を導き、従来に比べ最適設計を極めて容易にしている。第二項では、読みだし時のワード線昇圧電圧発生回路について必要回路面積とパワーの解析を行い、低電圧化での最適設計方法を提案している。本項ではさらに低電圧低スタンバイ電流化のための回路方式を提案し、これらをNOR型フラッシュメモリに搭載して1.5Vの低電圧動作と2 μ Aの低消費電流化が実現できることを実験的に示している。第一、二項で得られた設計理論によってフラッシュメモリ内すべての昇圧回路の最適化を可能としている。第三項では、昇圧電圧のリップルを抑える昇圧回路制御回路を提案している。昇圧回路動作で発生する電源ノイズとリップルをとともに抑制する回路を提案し、0.5Vの低電圧化が実現できるため高耐圧トランジスタを7%スケールリングでき、結果としてチップサイズを3%低減できることを示している。第四項では、複数昇圧回路の占有面積を低減できる小面積化方式を提案している。同時に動作しない昇圧回路複数を提案のスイッチを用いて一体化することができるため、従来に比べ昇圧回路面積を40%低下している。これによって低電圧化に伴う昇圧回路面積の増加を抑え、NANDフラッシュに搭載した結果従来に比べチップサイズを3.5%縮小できたとしている。

第三章は「Design of Timing Generator」(タイミング発生回路の設計)と題し、入力電圧とこれに比例する電流で充電されるキャパシタ電圧を比較増幅することによって電源電圧依存性の極めて小さい遅延回路を提案している。さらに、この動作原理を応用して電源電圧が増加するほどクロック周期が長くなる、従来とは電源電圧依存性が反対の昇圧回路駆動オシレータを新規提案し、高い電源電圧ではピーク電流とパワーの増大を抑えつつ、低い電源電圧では立ち上がりを加速できることを示している。これら新規提案のタイミング発生回路をNAND型フラッシュメモリに搭載し、最速条件下でのパワーを20%低減しつつ最遅条件化での書き込み時間を30%短縮できることを実証している。電源電圧・温度・プロセスばらつき依存性が小さい書き換えパルス幅を発生することができるようになったため、低電源電圧化でも安定したデータ書き換えを実現できるようになった。

第四章は「Design of Level Shifter」(レベルシフタ)と題し、低電源電圧動作のNANDフラッシュ用NMOSハイレベルシフタ、NORフラッシュ用CMOSハイレベルシフタ、及び内部最大電圧の低電圧化を可能とするNORフラッシュ用CMOSロウレベルシフタを提案している。第一項及び第二項ではそれぞれ、低しきい電圧NMOSトランジスタを用いて動作可能電圧を1.4V、1.2Vまで低下するとともに昇圧電圧からのリークを従来並みに抑える構成のレベルシフタを提案し実験により検証している。第三項では、動作電圧を従来に比べ1V低減できる回路を提案、0.5Vの低電圧化が実現できるため高耐圧トランジスタを7%スケールリングでき、結果としてチップサイズを3%低減できることを示している。

第五章は「Design of Sense Amplifier」(センスアンプ)と題し、ビット線クランプトランジスタのみを負荷とし、ビット線電圧を直接オペアンプに入力するようにしたNOR型フラッシュメモリ用の低電圧動作センスアンプを提案するとともにクランプトランジスタサイズの最適設計方法を示している。提案のセンスアンプをNOR型フラッシュメモリに搭載し、1.5Vでも従来と同等のスピードで読み出しを行なうことができることを実証している。

第六章は「Discussions and Conclusions」(議論と結論)と題し昇圧の観点から低電圧化の限界を議論するとともに本論文の結論を総括し、フラッシュメモリの電源電圧を1.5Vまで低電圧化可能と結論している。加えて、さらに一般化した昇圧回路の最適化方法や1V以下で動作可能なセンスアンプなど将来に取り組むべき問題を提起している。

以上のように本論文は、フラッシュメモリの主要回路を低電圧化できる回路方式を提案し、その回路方式の設計基礎理論を構築するとともに、実際にフラッシュメモリに適用、試作し、その有効性を実験的に実証したものであって、電子工学上寄与するところが少なくない。

よって本論文は博士(工学)の学位請求論文として合格と認められる。