

論文の内容の要旨

論文題目 遅延情報を利用した局所同期型VLSI設計方式に関する研究

氏名 今 井 雅

近年の半導体・集積回路製造技術の進歩により、素子の微細化・システムの大規模化が進み、数百万規模の素子を一つのチップ上に集積することも可能となりつつある。プロセスの微細化に伴い、素子のスイッチング速度は減少するものの、配線抵抗の増大により配線遅延は減少しないため、システム全体に占める配線遅延の割合が絶対的にも相対的にも増加している。そのため、システム全体を単一のグローバルクロックに同期させて制御を行う現行の同期式システムでは、期待されるスイッチング遅延の向上がシステムの性能向上に直接反映されなくなると予想されている。また、同期式システムでは、ある時点で使用されていない回路にもクロック信号が供給されるため、不必要な電力消費が生じる。

これに対し、事象生起の因果関係を駆動原理とする非同期式システムは、グローバルクロックの制約から解放されるため、計算の局所性を活用したアーキテクチャ、信号伝播の平均距離を最小にするレイアウト戦略の採用などにより、スイッチング速度の向上がそのまま直線的にシステムの性能向上に反映され得る。また、非同期式システムはクロック信号の代わりに要求-応答ハンドシェイクプロトコルに基づいて動作する事象駆動型論理システムであり、要求信号に対する応答信号が返らなければ次の動作が行われない。そのため、予測される範囲内の遅延変動が生じても正しく動作する遅延非依存(Delay-Insensitivity)特性を持つと同時に、それぞれ異なるタイミングで動作するモジュールを結合して利用することが容易となる。また、非同期式システムでは、動作している個所しか電力を消費しないため、システム全体にクロック信号を分配する同期式システムと比較して、低消費電力を実現できる。さらに、非同期式システムはシステム全体が単一のクロック信号に同期して動作を行う同期式システムと異なり、個々のブロックがそれぞれ独立したタイミングで動作するため、電力消費が分散し、電磁波の出力が分散して小さいことが利点として挙げられる。この様な多くの利点を持つ非同期式システムに関して、近年様々な研究が行われている。

非同期式システムの設計では、その前提となる遅延モデルが重要な役割を果たす。遅延モデルとは、論理ゲートや配線の遅延に関して設ける仮定のことである。従来の非同期式回路に関する理論的研究でしばしば用いられてきたSpeed-Independent (SI)モデル

や Quasi-Delay-Insensitive (QDI) モデルといった、遅延の大きさは有限であるが上限は未知と仮定する遅延モデルに基づいた設計では、現実には起こりそうもない遅延変動に対しても正しい動作を保証する必要があるため、実用的観点からは効率の良い回路とは言えず、十分な速度性能を得ることが困難であった。この問題を解決するための一つの手法が、遅延の予測が可能な局所領域の設計において、遅延情報を利用した設計を行うことである。遅延情報を利用した設計手法として、Scalable-Delay-Insensitive (SDI) モデルに基づいた回路設計がある。

SDI モデルは、回路要素の遅延に関して絶対的な遅延変動には上限はないが、相対的な遅延変動率には定数 K ($K \geq 1$) で規定される上限・下限が存在することを仮定した遅延モデルである。SDI モデルに基づいた設計では、電源電圧や動作環境温度、製造プロセスの変動などに伴う個々の回路要素の遅延変動のばらつきが小さいことが予測される場合は K の値を 1 に近づけ、遅延変動のばらつきが大きいことが予測される場合は K の値を大きくして設計を行うことで、相対遅延変動率に応じた回路を設計することが出来る。しかしながら、SDI モデルの基での組織的な回路設計方式に関しては十分に確立されていないのが現状である。そこで、本論文では、遅延変動に対するロバスト性を保持しつつ、高速な VLSI システムを実現するため、SDI モデルに基づいた局所同期型 VLSI の設計方式を提案する。

SDI モデルに基づいた設計では、設計された回路における信号遷移の順序関係を保証する個所に対して、共通遷移元となる信号遷移からのパスの遅延を予測し、遅く生じる信号遷移までのパスの遅延が、速く生じる信号遷移までのパスの遅延の K 倍となるように回路を構成する。個々の回路要素の遅延変動率が大きく異なることが予測される場合、定数 K の値として大きな値を設計時に与えなければならず、大きな K の値の基で設計された回路は小さな K の値の基で設計された回路よりも必然的に速度性能が落ちる。しかしながら、 K の値に比例して低下するわけではなく、低下率は回路構成に応じたものとなる。本論文では、SDI モデルに基づいた回路設計方式の一つとして、データパス完了信号生成回路の設計方式を示し、SDI モデルで規定する遅いパスがそのままクリティカルパスとなる束データ方式に基づくデータ転送では、 K の値にほぼ比例して速度性能が低下するが、データ信号に時間情報の付加された 2 線式回路構成では、低下率を低く抑えることが出来ることを示した。

SDI モデルに基づいた設計手法の一つとして提案した局所同期型 VLSI の設計方式では、従来の非同期式システム設計で用いられてきた SI 回路理論に基づく非同期式制御回路、あるいは非同期有限状態機械による制御回路を用いず、タイミング信号のみ非同期で実現するため、大規模なシステムでも容易に実現することが出来る。また、システム全体は同期式レジスタ転送レベル構造記述を非同期化することで実現出来るため、従来のプロセス記述などから 1 対 1 で制御回路を合成する手法とは異なり、仕様記述の設計が容易であり、同期式システム設計支援環境を有効利用出来る。さらに、同期式シス

テム設計者にとっても容易に非同期式システムを実現することが出来ると考えられる。

本論文では、局所同期型 VLSI の基本回路構成として、以下の 2 種類を示した。SDI モデルで規定する定数 K の値が小さい時のみに使用できる回路構成として、セルフリセット構造を利用したパルスのなタイミング信号を生成するローカルタイミング信号生成回路とスタティック論理回路を用いたデータパスから成る回路構成、及び定数 K の値が大きくても使用する事の出来るローカルタイミング信号生成回路とダイナミック論理を用いたデータパスから成る回路構成である。これらの回路構成が SDI モデルに基づいて正しく動作するための遅延制約について示し、遅延制約を満たさない場合の修正は容易であることを示した。

また、局所同期型 VLSI の高速化に関する技術として、要求-応答プロトコルに伴うオーバーヘッドを隠蔽する手段である細粒度化に関して、ダイナミック論理回路を用いた回路構成と、主に FPGA(Field-Programmable-Gate-Array) の合成で用いられる LUT(Look-Up-Table) ベースの論理合成手法を提案し、ベンチマーク回路を設計して評価を行った結果を示した。さらに、事象駆動原理で動作する非同期式システムでは、レジスタ間データ転送処理遅延の最悪遅延で性能が制約される同期式システムと異なり、データ転送処理遅延の平均値で性能を評価することが出来ることから、平均遅延と最悪遅延の差を活かすことが出来る回路構成を示した。

最後に、提案した設計手法に基づいていくつかの回路を設計し、性能の評価を行った結果を示した。その結果、局所同期型 VLSI は平均遅延と最悪遅延の差が大きい回路構成では同期式システム設計よりも高速なシステムを実現できること、遅延変動率のばらつきの大きさに応じた回路を設計することが出来ることが示された。また、従来の非同期式システム設計手法では設計が困難であった大規模な回路も容易に設計できることが示された。