

## 審査の結果の要旨

氏名 今井 雅

本論文は「遅延情報を利用した局所同期型 VLSI 設計方式に関する研究」と題し、6 章から成っている。半導体集積回路製造技術の進歩に伴う素子の微細化とシステムの大規模化が進行するにつれて配線遅延が支配的になるため、クロックをチップ全域に分配する現行の同期式システムでは、期待されるスイッチング速度の向上がシステム性能向上に直接反映されなくなると予想されている。一方、事象生起の因果関係を駆動原理とする非同期式システムの設計においては遅延変動に対して悲観的な遅延モデルに基づいて設計された回路は、現実には起こりそうもない遅延変動が生じてでも正しく動作することを保証するため、実用的観点からは効率のよい回路とは言えず、十分な速度性能を得ることが困難となる。本論文は、この問題を解決するために、グローバルクロックを用いない非同期式設計の利点を保ちつつ、予測可能な局所領域での遅延情報を最大限に利用した局所同期型 VLSI 設計方式を提案し、その有効性をシミュレーション実験によって示したものである。

第 1 章「序論」では、本研究の背景と目的を述べた後、非同期式回路設計に関する従来の手法を概観し、本論文の貢献、及び本論文の構成を述べている。

第 2 章「Scalable-Delay-Insensitive モデル」では、まず、LSI の技術特性を最もよく反映した回路遅延モデルの一つとして、回路要素の遅延に関して相対的な遅延変動率には定数  $K$  で規定される上限・下限が存在することを仮定した Scalable-Delay-Insensitive (SDI) モデルがあるが、それに基づいた組織的な回路設計方式が十分に確立されていないことを指摘した上で、SDI モデル定義と設計規則を示し、それに基づくデータパス回路の実現方式を示している。また、SDI モデルに基づいた回路の速度性能に関して、個々の回路要素の遅延変動率が大きく異なる場合、設計時に大きな  $K$  の値を与えなければならないが、それによる回路の速度性能低下率は回路構成に大きく依存すること、及び 2 線 2 相式データ転送方式では大きな  $K$  の値が与えられた場合でも速度性能低下率を抑えることが容易であることを示している。

第 3 章で「局所同期型 VLSI の設計方式」では、SDI モデルに基づいた新しい局所同期型 VLSI 設計方式とそのための基本回路構成として、(1)セルフリセット構造を利用したパルスのなタイミング信号を生成するローカルタイミング

信号生成回路とスタティック論理回路を用いたデータパスから成る構成と、(2)Muller のパイプラインのタイミング信号生成回路を用い、ダイナミック論理を用いたデータパスから成る構成、の 2 種類を示し、これら 2 つの構成が SDI モデルの下で満たすべき遅延制約とそれを満たす方法を示している。また、システム全体の設計方式として、同期式レジスタ転送レベル構造記述を非同期化する設計方式を示しており、従来の非同期式システム設計におけるプロセス記述などから 1 対 1 で制御回路を合成する手法とは異なり、仕様記述の設計が容易であると述べている。その結果、同期式システム設計支援環境を有効利用することができ、将来の同期-非同期融合型大規模 VLSI の設計にも応用可能であると述べている。

第 4 章「局所同期型 VLSI の高速化」では、局所同期型 VLSI の高速化に関する技術を述べている。まず、要求-応答プロトコルに伴うオーバーヘッドを隠蔽する手段である細粒度化に関してダイナミック論理回路を用いた設計手法を提案し、ベンチマーク回路を設計して評価実験によってその有効性を示している。次に、平均遅延と最悪遅延の差を活かすことが出来る回路構成方式を提案し、その動作条件と効果についての検討結果を示している。

第 5 章「設計例と評価」では、本論文で提案する設計方式に基づいてフィルタ回路等の設計を行い、性能の評価を行った結果を示している。その結果、局所同期型 VLSI は平均遅延と最悪遅延の差が大きい回路構成では理想的な同期式システム設計よりもさらに高速なシステムを実現できること、遅延変動率のばらつきの大きさに応じた回路を設計することが出来ると述べている。さらに、提案された局所同期型 VLSI 設計方式に基づいて実装した設計支援 CAD システムが非同期式システム設計の普及・研究の促進に貢献できると述べている。

第 6 章「結論」では本研究で得られた成果を総括し、今後の課題を指摘している。

以上を要するに、本論文は、素子の微細化とシステムの大規模化の進行につれて配線遅延が支配的になる VLSI 技術の動向を背景として、グローバルクロックを用いない非同期式設計の利点を保ちつつ、予測可能な局所領域での遅延情報を最大限に利用した局所同期型 VLSI 設計方式を提案し、その有効性をシミュレーション実験で示し、設計支援 CAD システムとして具体的に実現したものであり、その成果は工学的に貢献するところが大きい。よって本論文は博士（工学）の学位請求論文として合格と認められる。