

## 論文の内容の要旨

### 論文タイトル: **Low-Power High-Speed Circuit Design for VLSI Memory Systems**

(低電力・高速メモリシステムを実現する集積回路に関する研究)

氏名：神田 浩一

現代のコンピュータシステムにおいては階層記憶構造が幅広く用いられており、レジスタファイル、キャッシュメモリ、メインメモリなど様々なメモリが一つのシステムの中で用いられる。システム全体としての性能を高めるためには、このようなメモリシステムを高速化することが最重要課題である。マイクロプロセッサにおいては、拡大し続けるメインメモリとの動作速度の差を隠すために、各世代ごとにオンチップキャッシュメモリの容量は増大してきた。例えばプロセッサの動作電力の50%以上がキャッシュアクセスによって消費されているとの報告がある。このような状況を受け、メモリの低電力化の重要性は現在非常に大きくなっている。またバッテリー駆動型の携帯機器市場の拡大も低電力化を強く促す背景になっている。

システムオンチップ(SOC)技術によって様々な回路ブロックが一つのチップ上に乗るようになった現在、DRAM 主記憶もプロセッサと一体化してチップ化されることもしばしばある。しかしながら、多種多様な品種を短い期間に低コストで製造し、市場ニーズの変化に素早く対応するためにはSOCよりもシステムインパッケージ(SIP)の方が適している。本論文では高まるSIPの重要性を背景に、SIPのための低電力メモリシステムを提案する。

本論文の第1節においては低電力メモリシステムの重要性と将来の課題について説明すると共に、本論文の位置づけを明らかとする。また本論文の構成を説明する。

第2節では、SRAMにおいて問題になるデバイス欠陥による異常リーク電流の抑制(Abnormal leakage suppression, ALS)方式を説明する。LSIチップの大量製造工程においては、微小なゴミなどが原因で必ず不良チップができる。従来の冗長回路技術は書込み/読出し等の機能不良をおこしたセルを、冗長セルと置き換えることで歩留まりを上げてきた。しかしながら、セル部にできた欠陥が原因で異常リーク電流が流れることがあり、そのような異常リーク電流に対しては既存の技術は解決策になってない。本ALS方式では異常リーク電流を抑制するために、リーク電流センサ回路、シフトレジスタ、ヒ

ューズの三つの要素を新たに SRAM に搭載した。各セル電源線およびビット線電源線に流れるリーク電流は、リークセンサ回路によってモニタされる。ALS 方式は三段階に分けられる。まず、スタンバイ時に流れる電流がある一定値以上であるか以下であるかによって、センサが1または0を出力する。次に、この出力データはシフトレジスタに送られ、一時的に保持される。このシフトレジスタの出力から 0、1 のビットパターンを読み出して、異常リーク電流が流れる行と列の位置情報を得る。最後に、故障箇所に対応するヒューズを切断し、その行または列を電源線から切り離す。0.6 $\mu\text{m}$  の CMOS テクノロジーを用いてチップ試作を行い、測定を行った。1 $\mu\text{A}$  程度の異常リーク電流を検地、抑制することが可能であることが実験で確認された。本 ALS 方式による面積増加は 4Mb の SRAM では 1%以下になり、十分実用に耐えうる。同様の手法は DRAM 等その他のメモリに対しても適用可能である。

第3節および第4節では、欠陥のない通常の SRAM のセルにおけるリーク電力削減手法について説明する。電源電圧が 0.5V 付近まで下がる 2016 年ころには、トランジスタのしきい値電圧は現行の 0.6V あたりから 0.2V またはそれ以下にまで下がる。その際、最も重要な問題は SRAM 全体の 60%以上の面積を占めるセルアレイが消費するリーク電力である。SRAM では動作時においても 99.9%以上のセルは動作しておらず、データ保持のためにリーク電流を消費するので、セルアレイの電力は待機時のみならず動作時にも深刻な問題になる。第3節では、この問題を解決する一つの手法として、セル回路のトランジスタには高いしきい値電圧と高い電源電圧を用い、周辺回路は低いしきい値と低い電源電圧を用いた、二電源 SRAM 方式について説明する。低振幅のデコーダ出力を振幅変換してからワード線に供給する必要がある。そのための高速なレベル変換回路を考案した。従来型の PMOS クロスカップルを用いる回路に比べ、約 50%程度遅延が低減されることが、試作チップ及び SPICE シミュレーションから確かめられた。二電源 SRAM 方式を搭載した SRAM チップを 0.24 $\mu\text{m}$  の SOI CMOS プロセスで試作し、測定を行った。0.5V/1.0V の電源電圧で 400MHz の高速動作を確認できた。また、同様の方式を 2R1W のレジスタファイルにも適用し、やはり 0.5V/1.0V の電源電圧で 400MHz 以上の動作を確認した。

第3節での SRAM が従来の SRAM と異なる回路ブロックは、ワード線駆動前のレベル変換回路だけであったのに対し、第4節ではセル部の回路に改良を加えて低電力を達成する。本節では”Fine grain leakage control mechanism” とよばれる枠組みを導入する。これは、VTCMOS や MTCMOS 等のリーク電流削減手法では、動作時にアクセスされないセルのリーク電力を削減できないからである。本節の SRAM ではより細かいレベルでリーク電流を抑制する。すなわち非活性なワード線につながるセルのリーク電力を削減する為に、ワード線に同期した”リーク電力制御信号”を新たに各行に加える。その制御信号としてセル電源線を用いる。非活性な行のセル電源線を低くすると、DIBL(Drain Induced Barrier Lowering)効果によってリーク電力が減る。同時にワード線電位を負電位にすることで、ビット線からセルに流れ込むリーク電流をも抑制する。このようにすることでセル部のリーク電力を約二桁下げることができる。本方式を実装するには二種類の選択肢がある。一つは PMOS 側からセルの電源振幅を制御する方法で、もう一つは NMOS 側から制御する方法である。NMOS 側から制御すると面積や遅延のオーバーヘッドが大きくなるが、書込み時のビット線を低振幅にして書込み電力を削減することも可能になる。本節では設計におけるトレードオフについても定量的に議論した。

第5節ではメモリのインターフェイス部を低電力化するために、WSC(Wireless Superconnect)方式を提案する。本方式では容量性結合を用いて二つのチップ間で信号をやりとりする。信号パッドは各チップの最上層部メタルで形成され、これらが接近することで容量が形成される。データの送受信には、NRZ データ信号を Return-to- $V_{DD}/2$  に変換する回路及び小振幅な受信信号を増幅する回路を搭載した。パッドは保護層に覆われており、ESD 保護回路が不要な為、パッドにつく容量性負荷が小さく、高速動作にも寄与する。I/O パッドは of 625 pins/mm<sup>2</sup> の高密度で並べられ、各パッドは 1.27 Gbps/pin 及び 3mW/pin で動作することが試作したチップから確認できた。本節では、高速シリアルリンク、三次元実装、embedded DRAM、マイクロバンプ等の既存の技術に対する優劣についても併せて議論を行っている。

第2節から第5節までの間に提案した方式は、将来の低電力高速メモリシステムを、短い期間でかつ安価に実現するために有効な回路設計手法になりうると考えられる。