

審査の結果の要旨

論文提出者氏名 神田 浩一

本論文は「Low-Power High-Speed Circuit Design for VLSI Memory Systems」(和訳:低電力・高速メモリシステムを実現する集積回路に関する研究)と題し、将来の VLSI メモリ実現上の問題点を解決する手法を提案している。特に、1 ボルト以下という低電圧でも電力を低く抑えることのできるメモリ回路方式、及びメモリの高速かつ低電力な入出力インターフェイス方式を提示するもので、全7章で構成される。

第1章は「Introduction」(序論)であり、近年の微細化・低電源電圧化に伴う消費電力の問題について述べるとともに、本研究の背景を述べ、目的を明確化する。

第2章は「Overview of Memory Designs」(メモリ設計の概要)と題し、後続の章の為に、一般的なRAMの構成から、SRAMやレジスタファイルの回路設計について説明する。

第3章は「Abnormal Leakage Suppression Scheme for Low Standby Current SRAMs」(低スタンバイ電流SRAMのための異常リーク電流抑制方式)と題し、デバイス欠陥に起因するリーク電流をなくす為の回路について説明し、試作した64KビットのSRAMの測定結果を併せて示す。

第4章は「Dual Supply-Voltage SRAM and Register File」(2電源方式を用いたSRAM及びレジスタファイル)と題し、メモリ回路上で2種類の電源電圧としきい値電圧を用いた低電力設計法、及び高速なレベル変換回路に関して検討を行った。2KビットのSRAMと256ビットのレジスタファイルを試作し、0.5V及び1Vにおいて400MHzの動作を測定によって確認した。

第5章は「Row-by-row Dynamic Supply Voltage Control Scheme for Low-Leakage SRAMs」(行単位で動的に電源電圧を制御する低リーク電力SRAM)と題し、ドレイン起因バリア低下(DIBL)効果を積極的に用いることでSRAMセルのリーク電力を削減する方式を測定とシミュレーションを用いて検討し、待機状態のセルの電力を約二桁削減できることを示す。

第6章は「Wireless Superconnect Interface for High-Bandwidth and Low-Power I/O」(高バンド幅低電力I/Oの為の無線スーパーコネクタ方式)であり、容量性結合によってチップ間でデータを授受する回路を試作、測定し、1.27Gbps/pinの高速性を3mW/pinという低電力で実現した。

第7章は「Conclusion」(結論)であり、本研究の成果を総括する。

以上のように本論文は、将来の低電力・高速メモリシステムを実現する為の回路手法を提案し、その有効性を実験とシミュレーションの両側面から実証している。特に、低電圧環境でのメモリのリーク電力を約二桁程度削減できる方式を提案、実証するとともに、従来より一桁低い電力で、メモリデータを高速に入出力しうる無線インターフェイスを提案し、実験によってその有効性を検証しており、電子工学上寄与するところが少なくない。

よって本論文は博士(工学)の学位請求論文として合格と認められる。