

論文内容の要旨

論文題目 シリコンゲルマニウム歪みヘテロ構造の電気伝導の解析と
超高移動度トランジスタの開発

氏 名 入沢 寿史

Si-LSI 技術は、過去 20 年以上にわたって 3 年で 4 倍というペースで高密度化を達成し、LSI の高性能化を実現してきた。しかしながら、近年、LSI の基本構成素子である MOS トランジスタでは多くの微細化阻害要因が顕在化してきている。そうした中で、これまでと同様な LSI の継続的性能向上を図るには、素子にヘテロ構造等の新構造を導入し、特性を向上させることが必須となる。そのための方法として、既存の Si テクノロジーとの整合性が良い、Si と同じ IV 族元素である Ge、およびそれらの混晶 SiGe を利用したヘテロ構造の導入が提案され、80 年代後半から世界的に盛んに研究が行われてきた。そうした Si/Ge 歪みヘテロ構造の中で、本研究では純 Ge をチャンネルに用いる歪み Ge チャンネル構造に焦点を絞って研究を行った。本構造は、SiGe 混晶中における正孔の有効質量が Ge 組成の増大と共に減少するという事実から、Si/Ge 系ヘテロ構造において最も高い正孔移動度を実現できると考えられる。しかしながら、本構造を作製するには“擬似基板” (バッファ) として Ge 組成 60% 以上の良質な歪み緩和 SiGe 膜が必要であり、このようなバッファを Si 基板上に作製することは非常に困難であるという問題があるため、これまで系統的な研究は行われていなかった。そこで本研究ではまず、従来行われてきた手法より簡便に、しかも、品質的にも大変優れた緩和バッファを作製できる低温バッファ法という新しい手法を採用し、更に改良を加えて SiGe 緩和バッファの作製を行い、その上に作製する歪み Ge チャンネル p 型変調ドープ構造の構造最適化を図ることで超高移動度を有する試料の作製を目指した。そして、作製した試料に対し Hall 測定、移動度スペクトル解析、磁気輸送特性評価を行い、これまで十分に調べられていなかったこの系の電気伝導特性を詳細に調べた。さらに、本構造のトランジスタへの応用を図り、実際に超高移動度トランジスタの試作、特性評価を行った。

歪み Ge 中電気伝導特性を詳細に調べるために作製した歪み Ge チャンネル p 型変調ドープ構造 (図 1) は、全て固体ソース MBE 法を用いて n-Si (100) 基板上に作製した。Si_{0.3}Ge_{0.7} 緩和バッファは 2 段階低温バッファ法を用いて作製し、その上に、ドーピング層、スペーサ層、Ge チャンネル層、キャップ層を成長した。透過型電子顕微鏡観察により、良好な結晶性を有する試料の作製がなされていることが確認された。

構造最適化の一環として移動度のチャンネル層厚依存性を調べた結果 (図 2)、移動度はチャンネル層の成長温度が 350℃ の場合、チャンネル層厚 7.5 nm で最大値を取ることが分かった。

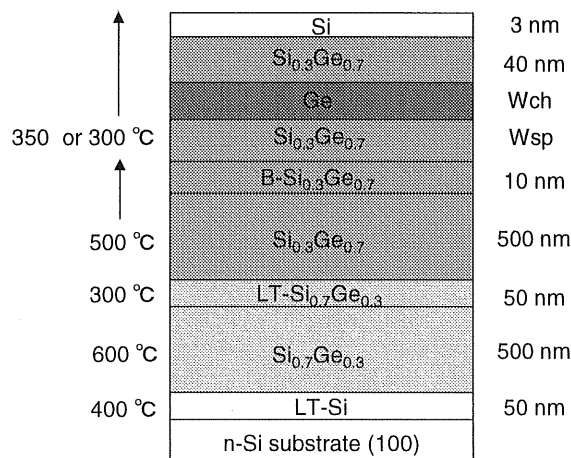


図1 歪み Ge チャンネル p 型変調ドーブ構造

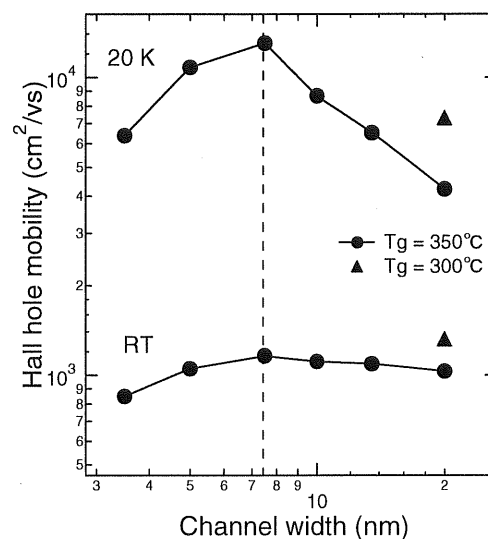


図2 移動度のチャンネル幅依存性

チャンネル層厚の減少に伴い移動度が低下するのは、界面ラフネス散乱、または、波動関数のバリア層へのしみ出しの効果であると考えられる。一方、チャンネル層厚の増大とともに移動度が減少するのは、Ge チャンネル層の歪み緩和の影響であると考えられる。実際、高分解能 X 線回折測定により、チャンネル層厚 20 nm の試料では、15%程度の歪み緩和が生じていることが確認された。Ge チャンネル層の歪み緩和を抑制する目的で、チャンネル層の成長温度を 300°C と低下させた試料も作製した。成長温度を低下させたことにより、歪み緩和は抑制され移動度は増大した。特に室温では 350°C で成長させた試料の最大値を超えた。これは、室温で支配的であると考えられるフォノン散乱の散乱確率がチャンネル層厚の増大に伴い減少するという事実を反映しているものと考えられる。一方、低温移動度はチャンネル層厚 7.5 nm の試料の半分程度の値に留まった。このことは、高分解能 X 線回折測定においても観測できないような微小な歪み緩和が依然存在していることを意味している可能性がある。

次に、移動度のキャリア濃度依存性を調べた結果、低温移動度はキャリア濃度が増大するに従い増大することが分かった。移動度は最大で 29,000 cm²/Vs に達した。キャリア濃度の増大に伴い移動度が増大したのはクーロン散乱のスクリーニング効果によるものと考えられ、本研究で作製した試料では低温においてイオン化不純物散乱が支配的な散乱要因の一つになっていることが示唆された。なお、室温付近においてはドーピング濃度の変化によりチャンネル層以外を流れるパラレル伝導の影響も変化するため、移動度のキャリア濃度依存性を議論することはできなかった。

上述した試料中には、室温付近においてチャンネル中以外を流れるパラレル伝導の影響が顕著であり、純粋なチャンネル中のみの移動度を求めることは通常の Hall 測定では不可能であったため、異なる移動度を持つキャリア群のそれぞれの移動度を分離して求めることを可能とする移動度スペクトル解析を行った。その結果、歪み Ge チャンネル中の 2 次元キャリア (2DHG)

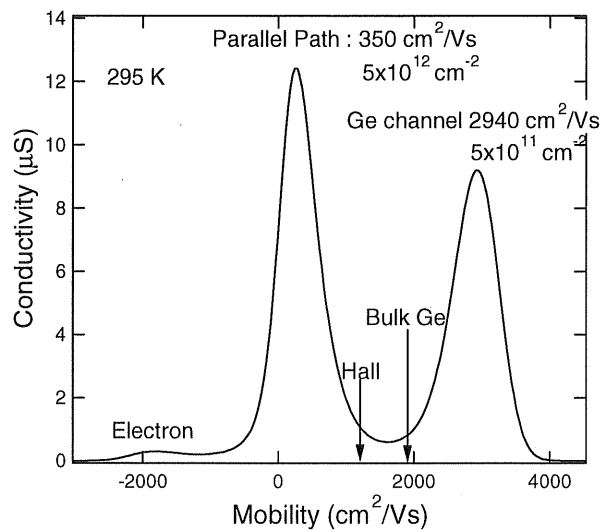


図3 室温における移動度スペクトル

はバルク Ge (ノンドープ) の室温移動度 $1,900 \text{ cm}^2/\text{Vs}$ を大きく超え、 $2,940 \text{ cm}^2/\text{Vs}$ という非常に高い値に達していることが分かった(図3). なお, バルク Ge の移動度を越える試料の作製に成功したのは本研究が初めてである. また, 移動度スペクトルの温度依存性から, 温度下降に伴い 2DHG の移動度, キャリア濃度は Hall 測定の結果に漸近していくことが分かった. これは, 低温になるに従いパラレル伝導の影響が小さくなること, また, Hall 移動度とドリフト移動度の比 (Hall 散乱因子) が低温でほぼ1となることを意味している.

低温における磁気輸送特性評価からは, 明瞭なシュブニコフ・ドハース (SdH) 振動と量子ホール効果が観測され, 2DHG の存在と良質な結晶性が確認された. また, SdH 振動の温度依存性から有効質量を求めた結果, 最小で $(0.087 \pm 0.005) m_0$ という値が得られた. この値は, バルク Ge の重い正孔の値 $0.28m_0$ と比べて非常に小さい値であり, 上述した歪み Ge チャンネル中 2DHG の室温における超高移動度は, 主に歪みによる有効質量の減少によりもたらされていると結論付けられた. また, 有効質量はキャリア濃度の増大に伴い大幅に増大するという歪み Ge の価電子帯の強い非放物線性を示す実験結果も得られた.

成長後の熱処理が伝導特性に与える影響を調べることは, デバイス応用へ向け大変重要であるにもかかわらず, 本構造のような Ge-rich 構造の熱的安定性に関する研究は皆無であった. そこで, Ge チャンネル変調ドープ構造の伝導特性に与える熱処理の効果も調べた. その結果, 熱処理時間が 30 分の場合, 温度が 500°C を超えると急激に移動度が減少することが分かった. これは, 2 次イオン質量分析測定から歪み Ge チャンネル界面での Si と Ge の相互拡散が原因であることが分かった. 一方, 短時間で熱処理を行うことが可能な Rapid thermal annealing (RTA) を用いて, 時間 30 秒で熱処理を行った場合は, 700°C まで移動度の低下は起こらないことが分かった. これらの結果から, 本構造を用いたトランジスタを作製する際には, ゲート酸化膜形成において熱酸化プロセスは適用できないが, 電極形成などで用いる RTA であれば,

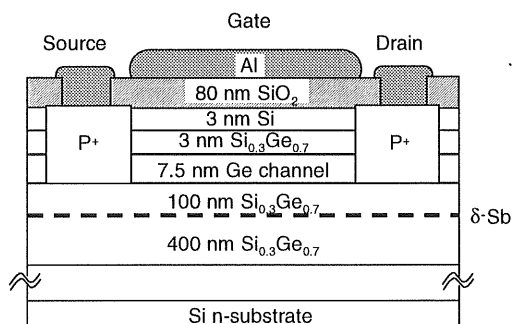


図4 歪み Ge チャンネル p-MOSFET

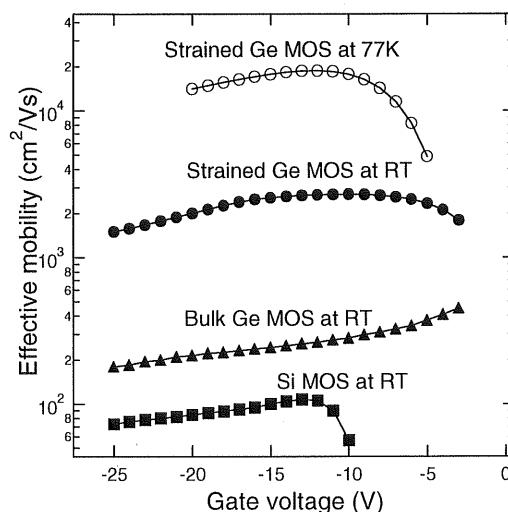


図5 実効移動度のゲート電圧依存性

700℃程度までの熱処理が可能であることが分かった。さらに、本構造のトランジスタ応用へ向け、チャンネル中以外を流れる大きな平行伝導の抑制を行う必要があったが、それは SiGe バッファ中に n 型不純物である Sb のドーピングを行うことにより達成した。平行伝導が抑制されたことで、室温 Hall 移動度は $1,200 \text{ cm}^2/\text{Vs}$ から $2,100 \text{ cm}^2/\text{Vs}$ へと大幅に増大した。

また、この結果から室温における Hall 散乱因子は $0.7 (=2100/2940)$ 程度と見積もられた。

最後に、本研究の集大成として歪み Ge チャンネル p 型 MOS トランジスタ (p-MOSFET) の作製と評価を行った (図 4,5)。ゲート酸化膜は低温で成膜が可能なプラズマ CVD 法を用いて 350°C で成膜し、ソース-ドレイン電極は 50 keV の BF_2^+ イオン注入とそれに続く 650°C の RTA で形成した。デバイスサイズは特性評価を行い易いようにゲート長 $150 \mu\text{m}$ 、ゲート幅 $100 \mu\text{m}$ と比較的大きくした。上述した Sb ドーピングを行うことで平行伝導が抑制され、線形、飽和領域が明瞭に区別される良好なデバイス動作が得られるようになった。この MOSFET に対して、C-V, I-V 測定を行うことにより、デバイス特性の指標となる実効移動度のゲート電圧依存性を求めた結果、室温において最大で $2,700 \text{ cm}^2/\text{Vs}$ にまで達することが分かった。この値は同時に作製した Si p-MOSFET, バルク Ge p-MOSFET の値のそれぞれ、25 倍、6 倍にも相当する非常に大きな値であり、本素子が LSI に応用されれば飛躍的な性能向上が期待できることが実証された。なお、この値はこれまでに報告されている SiGe 系 MOSFET における室温世界最高実効移動度である。低ゲート電圧側で移動度が減少するのは、キャリア濃度の減少に伴うスクリーニング効果の減少であり、他方、高ゲート電圧側で移動度が減少するのは、界面散乱の影響が大きくなるためであると考えられる。また、77 K において歪み Ge MOSFET の移動度は $18,000 \text{ cm}^2/\text{Vs}$ にまで達し、デバイス中においても良好な結晶性が維持されていることが確認された。

以上のように、本研究により歪み Ge 中の電気伝導特性に関して様々な新たな知見が得られた。また、本構造のトランジスタへの応用が着実に進展したものと考えられる。