

論文の内容の要旨

論文題目 値予測の軽量効率化方式の提案と評価

氏名 飯塚 大介

1971年にintelによる最初のマイクロプロセッサ4004が誕生して以降、マイクロプロセッサはその製造技術、設計技術とも絶間なく改良され、急激な性能向上を続けてきた。マイクロプロセッサの性能向上は、半導体デバイス技術とアーキテクチャ技術の双方によって支えられてきた。デバイス技術の進歩によって高密度の集積が可能になり、利用できるトランジスタ数はより多く、トランジスタのスウィッチング時間はより短くなってきた。スウィッチング時間の短縮はプロセッサの動作速度の向上に貢献する一方、トランジスタ数の増加は新しいアーキテクチャ技術の導入を可能にする。この結果、パイプライン実行によるクロック速度の向上、分岐予測による投機的実行、レジスタ・リネーミング、アウトオブオーダー実行による動的な命令間並列度の抽出など、さまざまなアーキテクチャ技術が開発、実装された。現在でも半導体の集積度と性能は18ヶ月で2倍になるというMooreの法則を維持しており、米国半導体工業会によって今後もMooreの法則に従った性能向上が続くと予想されている。

しかし、クロック速度の向上による性能向上は限界に達しつつある。消費電力はクロック速度に比例して増大するため、数年のうちにプロセッサコアの単位面積当たりの発熱量は核反応炉の温度を越えると予想されている。また、アーキテクチャ技術による性能向上は停滞している。現在主流のスーパースカラプロセッサでは、実行時にプログラムから命令レベル並列性を動的に抽出することで1サイクルに処理できる命令数を増加し、実行速度の向上を図っている。多数のトランジスタを使用して1サイクルに処理できる命令を更に増やそうとすると処理機構の複雑さが増大し、動作速度の低下を引き起こす。更に、プログラム中にはデータ依存関係(真の依存関係)が存在しており、それらの関係を守りつつ実行を行わなければ正しい結果は得られない。そのため、従来のデータ順序関係を守りつつ、1サイクルに同時実行可能な命令を抽出することで処理速度を向上させるという手法には理論的な限界がある。

通常プログラムをプロセッサで実行する場合、制御依存や種々のデータ依存関係の制約が存在するため、実行ユニットをフルに使用しているのはまれである。従って、何らかの方法で従来のデータ順序関係を破って命令の実行を行うことができれば、クロック速度を向上させずとも性能を向上させることができる。この真の依存関係を解決して実行する方法は困難であるとされてきたが、近年、これを解決するための投機手法として、命令が生成する値を予測する値予測が考案されている。

値予測は実際に演算を行って結果を得る代わりに、生成されるデータを演算の実行前に予測することで仮想的に命令間の真の依存関係を解消する手法である。パイプライン処理で性能向上を得るためには欠かせない分岐予測は、実行前に分岐方向を予測するのに対して、値予測は演算命令の実行前に演算を予測する。分岐予測では予測精度が高いほど速度

向上が得られるように、値予測でも、予測精度が高く、かつ予測可能な命令が多いほど実行速度が向上する。値予測で予測可能な命令数を増やし、予測精度を向上させるために、種々の複雑な予測機構が提案されている。また、予測値を格納しておく値履歴テーブル (Value History Table, VHT) の(1)エントリ数を増加させる、(2)連想度を増加させる、と VHT にヒットする命令が多くなり、予測精度も向上する。また、(3)ポート数を増加させると複数命令が同時に予測可能になり、(1)~(3)を全て実現させることによっても、高精度な予測命令数を増加させることができる。

だが、このような方法で予測命令数を増大させると、予測機構を実装するためのハードウェア量が膨大なものになり、予測値を取り出すまでのレイテンシが大きくなり、予測機構がネックとなり高クロックで動作させることが難しくなる。そのため、現在でも値予測機構を搭載し数 GHz という高クロックで動作するプロセッサはまだ出現していない。本論文では、この値予測機構の問題点を解決し、Compaq Alpha や Intel Pentium4 のように、数 GHz という高クロックで動作するスーパーパイプラインプロセッサに値予測を適用可能にする方式を提案する。具体的には、2001年版 SIA の 2003年の予測より、90nm プロセス、4GHz で動作する 4way のスーパースカラプロセッサを仮定し、その上に高クロックで動作する値予測を実装する。

値予測機構を高クロックで動作させるにはレイテンシに気をつけなければならない。レイテンシが大きいと、クリティカルパスが増大しクロック周波数を高めることが困難になる。この問題は値予測機構を多くのパイプラインステージに分割することによって解決できるが、今度は予測結果が出力される前に当該命令の実行が完了し、正しい値が生成されてしまう可能性が高くなり、値予測を行う意味が薄れる。従って値予測を搭載し高クロック動作可能なプロセッサを実現させるにはレイテンシを抑えることが重要な鍵となる。

レイテンシを抑えるためには、単純な予測機構を用い、VHT のエントリ数やポート数を削減する等してハードウェア量を削減しなければならない。そのため本論文では最初に(i)値予測機構として一番単純な予測機構である LastValue 予測を用い、VHT のサイズも最小限に抑えて軽量化を図り、低レイテンシで動作する機構を提案する。

しかしながら、これの機構は(1)~(3)に相反することであるため、値予測による性能向上率は低下してしまう。そのような環境においても値予測による性能向上を可能な限り得るために、(ii)コンパイラやバイナリの逆アセンブラでプログラムのデータフローグラフを解析し、予測候補となる命令を選択することで VHT のエントリ数が少ない場合でも極力性能向上が得られるような静的解析法を提案する。そして(i)(ii)の提案の下に評価を行う。その結果、エントリ数が 64 エントリ以下と少ない場合において、予測命令を選択することで平均の性能向上率が向上することを確認した。