

論文の内容の要旨

論文題目 Synthesis of Globally Delay Insensitive Locally Timed
Asynchronous Circuits from Register Transfer Level Descriptions
(レジスタ転送レベル記述から大域的に遅延非依存で局所的に
時間を考慮した非同期回路の合成に関する研究)

氏名 齋藤 寛

ディープサブミクロン(DSM)技術の進化により、デジタル VLSI システムは一つのチップ上で実現するに到ってきた。しかしながら、そのような技術の下では、グローバルクロックを用いた同期回路でデータ転送における同期を保証することは、クロックスキュー問題のために極めて困難になりつつある。一方、同期回路とは異なり非同期回路では、そのようなクロックが存在しないということよりそういった問題が起こらない。しかしながら、非同期回路設計技術には良く定義された設計法や形式的仕様記述が存在するにも関わらず、設計の容易性、最適性、規模といった問題に対して未だ多くの研究の余地が存在する。

本論文では、これらの問題を解くために新しい非同期回路設計手法を提案する。提案された設計手法により、大域的に遅延に非依存で局所的に時間を考慮した非同期回路を実現することができる。特徴的なこととして、従来の非同期回路とは異なり、この回路は様々な遅延モデルを組み合わせることによって実現される。DSM 技術において、配線遅延の影響はますます深刻になってくるので、長い配線が敷かれている回路間のインターフェースは、配線遅延に非依存となるように設計される。一方、残りの部分では、配線遅延は設計者やツールによって扱える範囲にあるという仮定の下、最適性を考慮しながら設計される。特に、演算を行うデータパス回路は、既に最適性を考慮して設計された遅延が既知な部品を使うことによって実現される。制御回路は、論理合成ツールを利用することによって回路を合成するので、ゲート遅延にのみ非依存なモデルの下合成される。しかしその際、データパス回路遅延情報を利用することによって、制御回路の最適化が図られる。

本手法の詳細は第 3 章で述べられる。そこでは、このような非同期回路を自動で生成するための合成フローも提案されている。このフローでは、入力記述として、広く用いられている C や HDL といった動作仕様を受け入れるので、設計者は非同期回路設計技術の詳細を知らなくてもこのような非同期回路を簡単に設計することが可能となる(非同期回路設計の為の必要事項は第 2 章で述べられる)。しかしながら、実際の設計においては、データパス回路に比べ制御回路設計の方が困難となるため、本論文では制御回路の自動合成に対して焦点を当てる。従って、本論文のスタートポイントは、データパス回路合成が終わった後のレジスタ転送レベル記述となる。そのような記述として、スケジューリングや

アロケーションが終わった Control Data Flow Graph (CDFG)を用いる。制御回路の合成では、主に、制御信号の共有化手法、配線遅延に非依存なインターフェースの導入法、トランスダクション法による論理最適化手法に焦点をあてる。これらの部分は、大域的に遅延非依存で局所的に時間を考慮した非同期回路を効率よく合成するためのキーとなる部分である。

第4章で制御信号共有化手法について述べる。制御信号共有化手法は、データパス回路遅延情報を利用することにより制御回路を最適化するために利用される。データパス回路遅延情報は、既に、データパス回路の合成は終わっているということより得ることが可能である。制御信号の共有化は、データパス回路におけるクリティカルパス遅延を犯すことなく実現される。実際、このような手法は、論理回路合成のために Signal Transition Graph(STG)を利用する場合に特に有効である。なぜなら、STG による論理合成では、状態空間は信号の数に指数的なもので、共有化による信号数の削減は状態空間の指数的な削減に繋がるからである。この事実より、制御信号共有化手法は、比較的規模の大きな回路を最適に合成するのにふさわしいと考えることが出来る。この章では、更に、制御信号共有化が行われた後の CDFG 記述より、どのように STG を導くかということに関しても言及する。

第5章で配線遅延に非依存なインターフェースを実現するための2つの変換法を提案する。一つは、STG を変換することによって実現し、もう一つは論理合成が行われた後の論理ゲート上で行われる。STG 変換では、制御回路の動作が入力配線の配線遅延に非依存となるように初期 STG を変換する。ゲートレベル変換は、STG 変換によって引き起こされる面積オーバーヘッドを緩める目的で導入する。初期 STG を利用して、配線遅延に影響されるようなゲートを概算し、それらのみを修正することによって、配線遅延に非依存なインターフェースが実現される。提案された2つの手法は、ベンチマーク回路上で実験された。結果として、配線遅延に非依存なインターフェースは比較的緩やかなコストオーバーヘッドで実現することが可能であるということがわかった(面積に対して40%、性能に対して20%のオーバーヘッド)。

制御回路のもう一つの最適化手法として、第6章でトランスダクション法に基づいた論理最適化手法を提案する。これは、論理合成において、回路全体に対して効果的な最適化手法が無いということより検討された。実際に、従来のトランスダクション法を非同期回路の最適化にそのまま適用すると、回路変換後にハザードといった障害が生じる恐れがあるので、本論文においては、変換後の回路にハザードがないということを維持できるように、従来のトランスダクション法を拡張した。実験結果として、本手法により回路全体を効果的に最適化することが可能であるということを示した。

結果として、以上の3つの手法に基づいて、インターフェースが遅延に非依存で、回路の残りの部分が良く最適化された制御回路を自動合成することが可能となる。これは、あるシステムを複数の小さな回路に分割して設計するような局面で、非常に効果があると考

えられる。なぜなら、そのような局面では、回路間における配線遅延の影響は深刻なものとなるからである。