

## 審査の結果の要旨

氏名 齋藤 寛

本論文は「Synthesis of Globally Delay Insensitive Locally Timed Asynchronous Circuits from Register Transfer Level Descriptions」と題し、英文で7章から成っている。半導体集積回路技術の向上で微細化が進むにつれて、VLSI チップ上の配線遅延に起因するクロックスキュー問題のため、システム全体に分配されるクロック信号で動作を制御する同期回路ではデータ転送における同期を正しく保証することが困難となりつつある。クロックを持たない非同期回路にはこのようなクロックスキュー問題が生じないという利点のほかに高性能、低消費電力の潜在的優位性があるため、これまで様々な設計手法、合成法、形式的仕様等が研究されているが、設計容易性、最適性、スケーラビリティに問題が残されている。本論文は、これらの問題を解決するために、大域的には配線遅延変動に依存せずに正しい動作を保証し、局所的には時間情報を活用した新しい非同期式回路設計手法を提案し、シミュレーション実験によってその有効性を示したものである。

第1章「Introduction」では、本研究の背景と動機を述べ、従来の非同期回路研究を概観してそれらの問題点を指摘し、本研究の貢献が、VLSI チップの配線遅延特性に合わせた複数の遅延モデルの組み合わせで特徴づけられる設計法の提供にあると述べている。

第2章「Asynchronous Circuit Designs」では、非同期回路設計の基礎的概念と基本的技法を述べている。また、信号遷移の因果関係を記述する Signal Transition Graph (STG) から非同期回路のゲートレベル記述を生成する方法を述べている。

第3章「Globally Delay-Insensitive Locally Timed Asynchronous Circuits」では、本論文で提案する新しい非同期回路設計法として、長配線のために遅延変動の予測が困難な回路ブロック間インターフェースは任意の配線遅延の下で正しい動作を保証し、配線遅延を設計者やツールによって管理できるほど小さなブロック内領域では遅延情報を効果的に活用する新しい設計手法を提案し、その合成フローを示している。また、この設計フローは VLSI 設計に広く用いられている動作記述を入力とするため、設計者に非同期回路設計に関する知識がなくても回路合成が可能となると述べている。さらに、提案する回路合成手法の出

発点がデータパス回路が決定したあとのレジスタ転送レベル記述であり、その記述としてスケジューリング/アロケーションが行われたコントロールデータフローグラフ(CDFG)であると述べている。

第4章「Control Signal Sharing」では、データパス回路の遅延情報を利用することによってそのクリティカルパス遅延に影響を与えることなく制御信号の共有化を行い、制御回路合成を最適化する手法を提案し、シミュレーション実験でその有効性を示している。さらに、制御信号共有化が行われた CDFG 記述から論理合成の入力記述となる STG を生成する方法を示している。

第5章「Delay-Insensitive Interface」では、配線遅延に依存しない回路ブロック間インターフェースを実現するために、まず、合成された回路が入力配線上の遅延に非依存となるように STG 記述を変換するアルゴリズムを示している。次に、STG レベルでの変換で生じたオーバーヘッド（面積、計算時間）を削減するためのゲートレベルでの変換アルゴリズムを示している。この二つのアルゴリズムをベンチマーク回路に適用して評価した結果を示し、比較的小さなコストオーバーヘッドで配線遅延に非依存なインターフェースを実現することができると述べている。

第6章「Logic Optimization for Asynchronous Speed-Independent Controllers based on Trnsduction Methods」では、ハザードフリーの性質を保持したままトランスダクション法に基づいて非同期制御回路の論理最適化を行うアルゴリズムを提案し、ベンチマーク回路への適用実験の結果によってその有効性を示している。

第7章「Conclusion」では、本研究で得られた成果を総括し、今後の課題を指摘している。

以上を要するに、本論文は、VLSI 微細化技術の進展で顕在化しているクロックスキュー問題を解決するため、大域的には配線遅延変動に依存せずに回路ブロック間インタフェースの正しい動作を保証し、局所的には時間情報を活用して回路ブロック内制御回路を最適化する新しい非同期式回路設計手法を提案し、シミュレーション実験によってその有効性を示したものであり、その成果は工学的に貢献するところが大きい。よって本論文は博士（工学）の学位請求論文として合格と認められる。