

## 審査の結果の要旨

氏 名 渡辺 健二

本論文は、「半導体製造プロセスにおけるウェーハ表面検査システム構築手法の確立と歩留向上への応用」と題し、半導体製造プロセスにおけるウェーハ表面検査システムに対して、その検査データを対策に直結したデータとしてフィードバックできるようなシステムを構築するための手法を確立し、欠陥と半導体製造プロセスの歩留の関係を明らかにし、歩留向上への応用を行っている。

シリコンウェーハ上に作られた LSI 回路パターンは、非常に微細かつ複雑でありその製造過程では種々の欠陥により正常なパターンの形成が阻害され、最終的には歩留という形で清算されてしまう。この歩留というものは最終製品形態の場合ありえない概念であるが、部品レベルの生産においては一部見られることがあるものの、半導体ほど典型的に歩留に左右される分野は他にはない。これは残念ながら半導体製造プロセスには完全には制御できない要因がいまだに数多くあるということを意味している。

このような半導体製造を自動車産業並みの高い工業レベルにして行くためには、半導体製造にかかわるすべてのパラメータを完全に制御する技術を持たなければならない。そうしなければ数百ステップあるプロセスを不良なしに通り抜けることは不可能である。こういった試みは一部ですでに取組みが始まっているが、まだまだ未知の分野が多く課題は山積している。

歩留の原因となる不良にはいくつかの種類がある。大別すると特性不良と機能性不良である。特性不良とは例えば動作速度などのトランジスタ特性のばらつきを指し、機能性不良とはトランジスタが動作しないことを意味している。この機能性不良は LSI パターンの一部のオープン、ショートといった欠陥により発生する。この機能性不良に対しては半導体製造プロセスにおいていかに欠陥を低減するかという戦いが必要となる。大部分はいわゆる「ごみ」との戦いになるわけであるが、単にクリーンルームの中で製造したからといって欠陥が皆無になるといった単純な話ではない。発塵源は製造装置のプロセスチャンバ内にもあり、また信じられないことに LSI の作りこまれたウェーハ自身が発塵源となることさえある。この機能性不良の原因となる欠陥は歩留立上時期から量産にいたるまであらゆる時期に歩留低下の要因となるものであり、改善には非常に多くの時間、手間がかかるものである。

本論文はこの機能性不良の原因となる欠陥を製造プロセス途中で検出するための手段として構築されてきたウェーハ表面検査システムについて、その果たすべき役割を開

発の歴史を見ながら明らかにし、さらに経済性を考慮しながらシステム構築手法として確立すべく技術開発を行ない、まとめたものである。本論ではウェーハ表面検査システムを効率よく活用するため、以下に述べる目的の達成のために取組んできた開発内容についてまとめた。

### (1) 第1の目的

本研究の第1の目的は、ウェーハ表面検査システムにより検出された欠陥データを対策に直結した検査データとしてきちんとフィードバックできる欠陥検査システムを構築することである。すなわち、「どのような異常」が「どこで」発生しているのかという情報を提供するものでなければならない。

これに対しては、次に示す大別して3項目の特徴ある技術の開発を行った。

1) 検出感度の定義と校正：ウェーハ表面検査装置により得られる欠陥の情報では、欠陥のサイズすら信頼できるものではなく、いいかえると検出感度すらあいまいなものであった。

本研究では、この課題に対応して検出感度の定義を実際の製品ウェーハ上での欠陥サイズヒストグラムを用いて行うサイズヒストグラム法及び装置間の性能や機差を評価する手法としての座標突合せ法を提案し、検出感度の定義と校正を行った。

2) 欠陥レビューの合理化：検査装置により検出された欠陥を顕微鏡で観察し、その原因を推定する作業を欠陥レビューと呼ぶ。労働集約的な工程であり、合理化が必須であった。

本研究では1枚のウェーハ上から数百点も検出される欠陥の中から本質的にレビューすべき欠陥だけをサンプリングするための欠陥サンプリング法（前工程欠陥削除、孤立欠陥削除、クラスタリング）を開発し適用した。これにより一層の合理化を進めることができ、検出された欠陥からより多くの情報を抽出することが可能となった。

3) 工程トレース方式：同一のウェーハをウェーハ投入から完成まで継続して検査することにより問題工程を特定することが容易になるが実用化はなされていなかった。

本研究ではこれを実現するためのさまざまな課題を明らかにし対策することで工程トレース法として完成し、実践した。また、検査工程間に存在する多くのプロセスステップから真に問題であるプロセス及び装置を特定する手法として統計的機差解析法を利用し、工程トレース法や歩留影響度法と組み合わせることにより、一層強力な問題工程、装置特定ツールとして完成させた。

### (2) 第2の目的

第2の目的は、ウェーハ表面検査システムにより検出される欠陥と歩留との関係を明らかにすることである。いいかえれば「この欠陥はどれだけ歩留を下げているのか？」という情報を具体的な数値として提供できるシステムでなければならない。これはウェーハ表面検査システムのコスト評価を可能とするためにも必要である。

これに対しては、次に示す3項目の技術開発を行って半導体量産ラインに適用した。

1) 歩留相関解析の精度向上：従来、ウェーハ単位で異物数や欠陥数を取り上げ、歩留との相関解析を行っていたが精度的に不十分であった。

本研究では、チップ単位で異物数や欠陥数と良／不良との相関を取るという全く新しい方法（歩留影響度法）を開発し、応用することにより精度の良い相関データを得ることができるようになった。

2) ADC 欠陥致命性自動判定：欠陥の致命性を判定する手法として、欠陥の外観形状や大きさ、回路パターンとの関係から致命性を判定できる。

本研究においては欠陥レビュー用に開発したレビューSEM に欠陥自動分類機能（ADC: Automatic Defect Classification）を搭載し、欠陥の致命性を自動的に判定する機能（ADC 欠陥致命性自動判定）を持たせた。また欠陥の致命性判定結果を電気テスト結果と等価なものであると考え工程トレース法と組み合わせることによりたとえば配線工程1層に特化したショートループの歩留影響度法として運用することが可能となった。

3) 検査装置感度の最適化：異物や欠陥はその大きさと存在する場所のLSI回路のパターン疎密度により致命性を推定することが可能である。そこで異物検査装置の異物サイズデータの精度改善を行ない、回路の疎密度と合せることによりリアルタイムで検出された異物の歩留影響度を推定できるようにした。

歩留影響度法は原理的に検査装置の検出性能に大きく影響を受ける。このため検査装置感度を最適化した上で用いることが重要である。そこで、さらにこの最適化手法として歩留影響度が最大となるような異物管理サイズを求める手法（歩留影響度評価法）を開発した。これにより、致命性の高い異物数でのライン管理が可能となっただけでなく、各工程における最適感度や最適検査装置を選択する基準とすることも可能となった。

また、以上のように開発した様々な機能を適用して実際に行うことのできた歩留向上の事例も示した。

最後にウェーハ表面検査システムの構築コスト最適化手法についてまとめた。構築コストが飛躍的に増加する傾向にあるウェーハ表面検査システムにおいて、投資効果という観点からの検査システム最適化が重要である。構築コストを適正化する手法として、検査不足により見逃されて不良となる損失と、検査を行うことによって発生する投資額などの費用とのバランスする点を推定するシミュレーション手法（総合損失期待値最小化法）を開発した。これにより、最適な検査頻度、検査投資額を推定することが可能になり、実際の0.18 μm プロセスラインの構築に適用した。

歩留向上活動は生産現場からのかなり泥臭いアプローチも時として必要とされる分野である。本論ではこのような生産現場での歩留向上活動を科学的な手法として構築することに成功した。これにより、0.18 μm プロセスで世界最小サイズのDRAMの開発を1年間という短期間で行うことに成功し、半導体事業に大きく貢献することができたと同時に、この研究成果を土台として今後もさらなる発展が期待されるものである。

以上、本論文は、半導体製造プロセスにおけるウェーハ検査システムの構築方法を提案し、この手法により欠陥と歩留の関係の評価が行えることを示している。さらに、実際に半導体製造プロセスに応用し有用性を示し、半導体製造プロセスにおけるウェーハ検査システムの開発に大きく寄与すると考えられる。よって本論文は博士（工学）の学位請求論文として合格と認められる。