

## 論文内容の要旨

題名：「注入促進型エミッタ構造を有する MOS ゲート電力素子の研究」

氏名：北 川 光 彦

高耐圧・大電流、すなわち大電力のハンドリングを使命とする電力用半導体素子の特性に大きな影響を与える要因に、その素子の耐圧を決めている n-形ベース層領域の厚さと、そこに生じる伝導度変調(高注入状態でのキャリア蓄積)の起こり方がある。つまり、パワーデバイスがスイッチオフの状態とは、低不純物濃度領域である n-形ベース層全体に広がった空乏層両端に外部からの高耐圧をかけて保持している状態である。

つまり、この低不純物濃度(高抵抗)領域をいかに厚くするかということで、耐圧が決まる。一方、スイッチオン状態では、この低不純物濃度(従って高抵抗)の抵抗をいかに小さくして電力損失を小さくするかが鍵となる。パワーデバイスでは、この領域に大量のキャリアを注入することで、低抵抗を実現している。ここで大事なことは、電子とホールを高濃度で、しかも同数存在させることである。空間電荷が打ち消されて電圧が発生しないので電力消費を小さくできる。この電子とホールが同数存在する状態、即ちキャリアプラズマの蓄積状態による大きな伝導度変調効果で低損失を実現しているのである。

電力素子の守備範囲でも大電流高電圧を扱える素子の領域が、MOS ゲート化されずに残っていた。数千ボルトの阻止耐圧を得るために必要な n-形ベース層の厚さは、素子構造ではなく、シリコンの物性でほぼ決まってしまうので、各種電力用半導体素子の電圧定格の守備範囲は、それぞれの素子オン状態での n-形ベース層中の伝導度変調の起き方の違いに大きく依存する。

本研究の目的は、GTO サイリスタに代表される大型電力用半導体素子の MOS ゲート化である。本研究の目標とする MOS ゲート駆動の高電圧・大容量デバイスは、p-i-n ダイオードと同じ低いオン抵抗と、IGBT と同じ SOA(安全動作領域)を兼ね備える必要がある。しかし、それに

対して、従来の IGBT(Insulated Gate Bipolar Transistor)、MCT(MOS Controlled Thyristor)、およびそれらを組合せたデバイス構造を元にする研究努力は、いずれも成功せず。新しいアプローチが求められていた。

そこで、GTO サイリスタを MOS ゲート電力素子で置き換えるには、非ラッチアップ構造で、ラッチアップしたサイリスタと同じ低オン抵抗を実現出来る技術を見つけ出すことが必要であると考えた。本論文は、そのための新しいエミッタ構造の原理の提案と、その構造を持つ電力素子(IEGT: Injection Enhanced Gate Transistor)の設計及び、デバイス試作によるその原理の検証である。

n-形ベース層へ高い注入効率で電子を注入しようとした場合、今までの半導体の設計法では、高濃度不純物拡散層をエミッタ層として使う以外の方法は無かった。新しく提案された注入促進型エミッタ構造によれば、原理的に従来の高濃度不純物拡散エミッタ層と同じ高い注入効率を実現すると同時に、MOS ゲート電圧により、エミッタ電極からの電子の注入を瞬時に、確実にオン・オフすることが可能である。

図 1 は、新しいエミッタ構造の原理を説明するための図である。素子のオン状態で、n-形ベース層中に p-i-n ダイオードと同じキャリアプロファイルを再現するためには、エミッタ側のキャリアの蓄積、即ちサイリスタと同じエミッタ側の高い電子注入効率が必要である。全電流密度を  $J$ 、電子電流密度と正孔電流密度をそれぞれ  $J_e$ ,  $J_h$  とするとエミッタの電子注入効率  $\Gamma_e$  は、 $\Gamma_e = J_e/J = 1 - J_h/J$  と表され、ここで、 $J = J_e + J_h$  であるので、高い電子注入効率を得るためには、全電流密度に対する正孔電流密度の割合を下げればよいことになる。

図 1 中、n-ベース層の正孔がエミッタ電極へ移動するには、深いトレンチゲート壁によって囲まれた幅の狭い n 形の領域を通り抜けなければならない。狭い n 形の通り道の領域では、正孔は拡散電流のみによって流れる。このためこの領域で流れる正孔電流が制限され、その正孔電流密度は、

$$J_e = \mu_e kT (dn/dx) - q \mu_{en} (d\phi/dx) \quad (1-1)$$

$$J_h = -\mu_h kT (dn/dx) - q \mu_{hn} (d\phi/dx) \quad (1-2)$$

から、 $J_e=0$  として、 $n = n_K$ ,  $dn/dx = -n_K/D$

$$J_h = 2qD_h (n_K/D) = 2kT \mu_h (n_K/D), \quad (1-3)$$

と記述することができる。W は n 形ソースのパターン幅(トレンチゲートの間隔)、D は n 形領域の深さ(トレンチゲートの底から p 形ベース層までの距離)、 $n_K$  は n-形ベース層のエミッタ側のキャリア密度(n-形ベース層エミッタ側のトレンチ底部でのキャリア密度)、 $\mu_h$  は正孔の移動度、 $D_h$  は正孔の拡散係数( $\mu_h = qD_h/kT$ )である。この式から、素子の構造パラメータ(W/D)が、正孔電流の総量を制限することがわかる。これに対して、MOS ゲートに電圧を加えることによってトレンチゲート側壁に生じた蓄積層内を流れる電子電流は、正孔電流を制限するトレンチゲートの幾何学形状によって制限されることはないかと仮定すると、n-形ベース層中のエミッタ側の正孔の実効的な注入効率は、

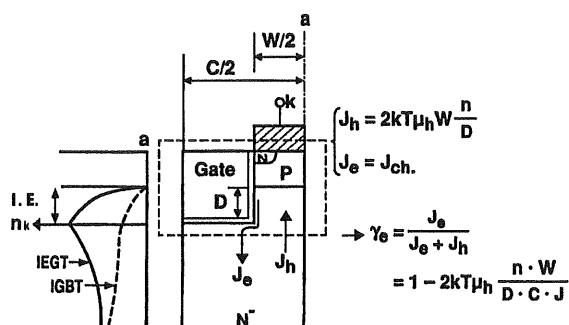
$$\Gamma_{h,K} = J_h \cdot W / (JC) = 2kT \mu_h (W/DC) n_K / J \quad (1-4)$$

$$= 2qD_h (W/DC) n_K / J$$

$$J = (J_h + J_e) \tag{1-5}$$

と記述することができる。Wはトレンチゲートの間隔、Cはセルサイズ、Jは正孔電流と電子電流の合計である。従って、デバイス構造のパラメータ(W/DC)が、実効的な注入効率を決定することになる。ここで、構造パラメータ W/DC を、 $(1 - \Gamma_{h,K})$  が1に近くなるように設計したとすれば、図に示すような、サイリスタと同様なキャリア分布が n-形ベース層中に実現されることになる。これは、最適化されたトレンチゲート構造の実効的な電子注入効率は、p-i-n ダイオードにおける高濃度不純物拡散層で形成される n<sup>+</sup>形エミッタ層のそれに匹敵することを意味する。

Table.1 に、IEGT, 従来の高不純物拡散による n<sup>+</sup>形エミッタ層, IGBT の実効的な電子注入効率とその注入原理についてまとめた。



	IEGT	Junction n <sup>+</sup> emitter	IGBT
Injection efficiency	0.74 ~ 0.97	~1	< 0.74
Origin of injection efficiency	Restriction of hole current at the emitter	Difference of impurity concentration	-

図1 注入促進型エミッタの動作原理と Table.1

IEGT のターンオン特性、導通特性、ターンオフ動作についても述べた。また、IEGT の動作原理を元に IEGT の 1次元解析モデルを作り、高耐圧 IEGT の実用素子を開発するための定量的な研究を行った。2次元数値解析を使った研究もおこなわれた。

これまでの研究で、IEGTは、最新の半導体プロセス技術を前提とすれば、十分製造可能であることが証明されたが、GTOサイリスタなどの大型電力用半導体素子が発展させて来た製造プロセスと、LSIが発展させて来た微細パターンMOS技術は大きく異なっている。4.5kVもの阻止電圧を持つ電力素子をLSI並の微細トレンチゲートプロセスで試作した例はなかった。幅広のトレンチ形状を幅の狭いトレンチとダミートレンチ構造の組み合わせにするなど、新しい技術が試みられた(図2参照)。試作した4.5kVトレンチゲート形IEGTの電気的特性及びトレンチ設計パラメータ依存性は、本研究の数値計算や解析モデルの結果と一致し、提案内容の妥当性と注入促進型エミッタ構造の原理が、デバイス試作によって検証された。

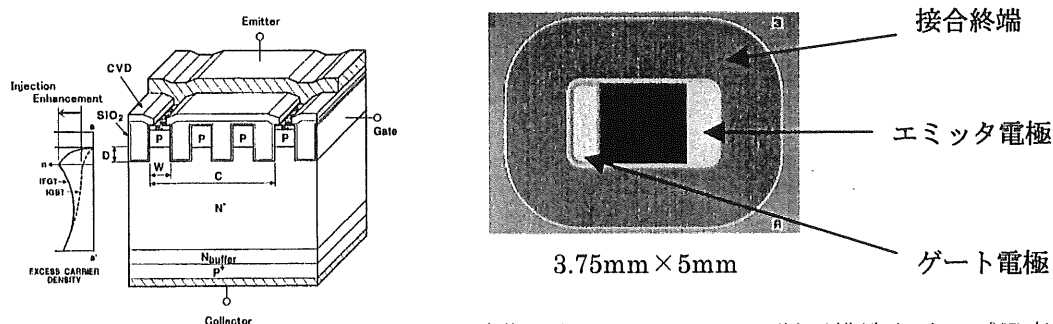


図2 試作した 4.5kV-IEGT の断面構造とチップ写真

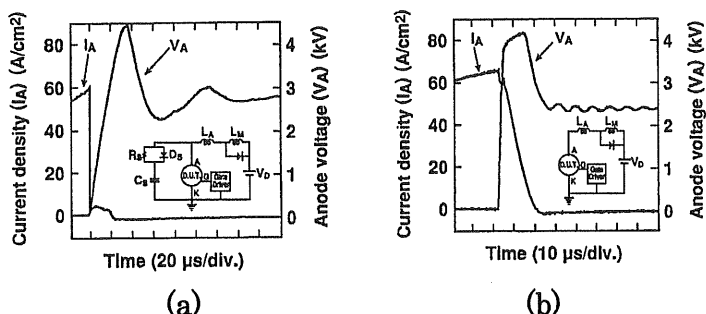
IEGTは、IGBT(トランジスタ)の特長である高いターンオフ能力、短絡耐量、MOS駆動の容易な制御性(大きなゲイン)を失わずにGTOサイリスタの特長である低いオン抵抗を同時に実現していることを、試作した素子を使い検証した。試作した4.5kV-IEGTが、GTOサイリスタが現在使用されているシステム中で高い能力を示すことが確認された。IGBTとしてもGTOサイリスタとしても高い性能が確認された(図3参照)。

図3 4.5kV-IEGTの

ターンオフ波形

(a): 放電型スナバ回路付

(b): ハードスイッチング



IEGTの実用素子への展開と、注入促進効果を、色々なデバイス構造と組み合わせ、その特性をシミュレーションした結果について述べ、注入促進効果の実用素子への広がりを示した。

電流センス付トレンチゲート形IEGTを使用して、従来困難であった多チップ並列接続状態でも短絡電流の安定制御が可能であることを確認した。このことにより、電流駆動のGTOサイリスタではこれまで不可能であった、高電圧・大電流応用分野でのインテリジェントなパワー制御という新しい可能を示した。

本研究により、従来の高濃度不純物拡散によるエミッタ構造の代わりに、ゲート電極の幾何学形状を利用して、n-形ベース層への電子注入効率が1に近いエミッタ構造の作成が可能であることを提案し、シミュレーションとデバイス試作により実証した。

この研究成果を実用素子の設計に応用し、非ラッチアップ状態をたもちながら、ラッチアップ状態と同じ低オン抵抗を達成出来る実用素子を初めて実現、これまでMOSゲート化が不可能であった、GTOサイリスタに代表される、大型電力用半導体素子のMOSゲート化を進め、電力用半導体素子の全てをMOS駆動化することに寄与した。

LSI並の微細加工技術と浅い拡散層を用いて、4.5kV級実用素子の高性能化が可能であることを示し、大型電力素子の新たな製造プロセスと素子デザインを示した。また、電流センス付トレンチIEGTを試作し、マルチチップ並列接続された場合の短絡保護が可能であることを実証すると共に、高耐圧・大電流応用分野でのインテリジェントなパワー制御という新たな可能性を提示した。

本研究の目的は、GTOサイリスタに代表される大型電力素子のMOSゲート化であるが、そこで得られた「注入促進型エミッタ構造」およびそのアイデアは、大型電力素子のみならず、素子耐圧600~1700Vの中・小型パワー素子の特性改善にも寄与している。