

[別紙2]

審査の結果の要旨

氏名 根本 和典

本論文は、「半導体製造プロセスにおける計測データ活用による歩留り向上方法論」と題し、半導体製造プロセスにおける検査システムに対して、その計測データを統計的手法を用いて活用することによって、半導体製造プロセスにおける歩留りを向上させるための方法論を確立し、実際の製造プロセスに適用し実証している。

近年半導体応用製品のライフサイクルは年々短くなっており、半導体デバイスメーカーにとって製品の市場投入時期が最も経営上重要なファクターとなっている。他社に先駆け新製品を投入し利益を確保するためには、歩留りの習熟を加速しなければならない。これまで DRAM に代表されるメモリ製品が市場のボリュームゾーンを支配してきたが、今後システム LSI を始めとする多品種少量生産品が半導体ビジネスの主流となる。DRAM では少しでも高い歩留りを確保することが利益率向上の絶対条件であったが、多品種少量生産品では歩留りの値もさることながら、高歩留りに到達するまでの時間・スピードがより重要な要素となる。従ってどの半導体デバイスメーカーでも歩留り習熟を加速できる新たな手段を構築することが急務となっている。

これまでの歩留り向上は分析装置を用いた不良解析に支えられてきた。メモリ製品（特に DRAM）の場合、フェイルビット解析により欠陥箇所を特定し、欠陥箇所を観察することにより不良原因を明らかにしてきた。システム LSI も同様、EB テスタや発熱、発光解析を駆使することにより欠陥箇所を特定し、そこを観察することにのみ注力してきた。こうした不良解析は一旦欠陥箇所が明らかになると歩留り低下要因を容易に推測できるといったメリットがある反面、欠陥箇所が特定できなければ対策の手掛かりすら得られないといった短所がある。また不良解析に極めて長時間を必要とするといった短所もある。そこで本研究では日々取得される計測データの統計的且つ体系的解析手法について検討し、短時間で歩留り低下要因を抽出することを試みる。

本論では歩留り低下要因を特性不良と機能不良に大別し、それぞれの不良について歩留り向上方法を確立する。特性不良はプロセスの最適条件が不適切な場合や膜厚や寸法等のプロセスパラメータのばらつきが大きいために生じることが多い。一方機能不良は異物等によるパターン欠陥により生じる場合が多い。このため試作・量産といった生産フェーズによって主不良は異なり、試作段階ではプロセスの最適条件が定まっていないことが多く、特性不良が歩留り低下の支配要因となる。一方量産段階ではプロセスが安定するため、特性不良を導く欠陥が著しく減少し、異物等パターン欠陥によって引き起

こされる機能不良が歩留り低下の最大の要因となって現れる。本論では試作・量産それぞれの生産フェーズで適正な歩留り向上手法を確立するため

- ・ 試作段階は特性不良
- ・ 量産段階は機能不良

に焦点をあて方法論の検討を進める。

歩留り向上を加速するためには従来技術の問題点を解決する新たな手法を構築しなければならないのはもちろんであるが、企業内で歩留り向上の必要性を再認識する必要がある。試作・量産といった各生産フェーズで何を行わなければならないかを明らかにしなければならない。そこで

- (1) 各生産フェーズ（試作、量産）における歩留り向上と企業収益との関係を定量的に表現することにより、歩留り向上の必要性とその課題を明らかにする。
- (2) 試作・量産それぞれの生産フェーズに対応したシステムティックな歩留り向上手法を確立する。さらに確立した手法を実生産ラインに適用し、手法の有効性を実証する。

ことを目的として研究に取り組んだ。

(1) 歩留り向上の必要性と課題

歩留り習熟を加速させるためには、それがもたらす経済効果を明らかにする必要がある。そこで本研究では歩留り習熟加速の手段として生産方式改善（TAT 短縮）を取り上げ、シミュレーションにより TAT 短縮が歩留り習熟及び企業利益に与える影響度を定量評価した。ここでも生産フェーズを試作、量産の2フェーズに分け、各フェーズでの経済効果を算出した。この結果、

- ・ 試作段階では2週間の TAT 短縮（歩留り習熟速度改善）が 35 億円の利益に相当
- ・ 量産段階で 1%歩留りを改善することにより 17 億円/月の利益確保が可能

以上の事項が明らかになり、試作段階では歩留り習熟の加速が大きな利益をもたらし、量産段階では僅かでも高歩留りを確保することが重要となることを導いた。

(2) 歩留り向上手法の確立

試作段階では歩留り習熟の加速が、量産段階では高歩留りの確保が重要であることが明らかになった。各生産フェーズに応じた適切な歩留り手法を確立し、その手法の有効性を検証する。

① 試作段階の歩留り向上手法確立と効果検証

分析装置を用いた従来の不良解析だけでは、歩留り習熟を加速することが困難であり、日々取得される計測データから歩留り低下要因を速やかに抽出する必要がある。そこで本論では相関分析をベースにした Zone 解析手法を提案した。本手法はこれまでの相関分析とは異なり、半導体製造に特化した手法である。試作段階では特性不良が主たる歩留り低下要因であるため、機能検査結果から特性不良のみを抽出する方法を考案し、特

性不良早期低減手法を体系化した。Zone 解析手法を最先端 300mm ウェーハ製造ラインに適用し、本手法が実際に歩留り向上を実現できることを明らかにした。さらに本手法を適用することにより、僅か3日で歩留り低下要因を抽出できることを実証した。

② 量産段階の歩留り向上手法確立と効果検証

量産段階では生産ボリュームが大きいため僅かな歩留り差が大きな企業利益の差となって現れる。また各工程で使用する装置の台数も飛躍的に多くなる。このため量産段階では、プロセスに存在する欠陥数、種類とも試作段階とは比べ物にならないほど多くなる。高歩留りを確保するためには真に歩留り影響のある欠陥から優先的に対策していかなければならない。従って多種多様の欠陥の中から歩留り影響の大きい欠陥を抽出する必要があり、欠陥の歩留り影響定量化が量産段階の最大の課題である。本研究では歩留り影響定量化の手法として、Kill Ratio 法を提案し、歩留り影響の大きい工程を探索する手順を確立した。Kill Ratio 法により問題工程を絞り込み、さらにその工程の中から発塵源を特定するための手段として、機差解析法を提案した。量産段階ではどの工程でも複数の装置を使用しており、装置状態の突発的な変化により異物多発を招くことがある。装置間の異物レベルの差を定量的に表現することにより、発塵源の特定が可能となる。機差解析は統計的数量化理論を応用し、装置間の異物レベル差を定量評価する手法である。

本研究では上記 Kill Ratio 法及び機差解析手法の有効性を実証するため、最先端量産ラインに本論提案手法を適用し、歩留り向上が実現できることを確認した。本論で取り上げた実施例の場合、本論提案手法適用により、量産品の歩留りを 1.3 倍に改善することができた。

分析装置を用いた不良解析中心の従来技術に加え、本論で確立したシステムティックな歩留り向上手法を活用することにより、より速くよりの確に歩留り向上が実現できることを明らかにした。今後益々重要となる歩留り垂直立上において、本論で構築した手法が必要不可欠の技術となる。

以上、本論文は、半導体製造プロセスの検査システムにおける計測データの活用方法を提案し、この手法により歩留の向上が可能となる方法論を示している。実際に半導体製造プロセスに応用し有用性を示し、半導体製造プロセスにおける検査データの活用に大きく寄与すると考えられる。よって本論文は博士（工学）の学位請求論文として合格と認められる。