

論文内容の要旨

論文題目 D R A Mのメモリセルおよびクロック回路の
高性能化とシステムL S Iへの応用

氏 名 佐 伯 貴 範

D R A Mは、読み書き可能な半導体メモリとしてこれを上回る集積度を実現するデバイスは無く、情報通信産業を支える基本デバイスである。このD R A Mの開発において常に、縮小高集積化、高速化と同時に高信頼性、量産性、低コスト化、低消費電力化が要求されてきた。しかし、C M O Sゲート寸法ディープサブミクロンのレベルに達するに到り、D R A Mメモリセルデバイス構造、周辺回路にそれぞれ、物理的限界、機能的限界に加えて投資面での制限が生じてきた。そのため、これまでの開発とは異なるアプローチ方法が必要となった。

本研究では、これら制限、要求を満たすべくプロセス技術、レイアウト技術、回路技術の各個別技術の高性能化にとらわれず、技術課題の根本原因を除去することで高性能化に伴う諸制限、限界を回避し、全体として最適解を追求した。すなわち、局所的に問題解決をすることなく、大局的に考えて最適解を求めるという研究手法をとった。その結果、設計基準微細化を行わない回路・レイアウト（設計基準緩和）によるメモリセルの縮小高集積化の提案・実用化、P L L，D L L等の帰還同期回路を用いないクロック制御（非帰還同期回路）による高速化低消費電力化の提案・実用化を行った。非帰還同期回路に関しては、高性能化、一般化を進めシステムL S Iへ応用した。また、この過程において、世界

で最初に $6F^2$ の DRAM メモリセル、同じく世界で最初にわずか 2 クロック以下で同期をする回路を生み出すことになった。

本章では、本研究の背景を、DRAM メモリセルの高性能化、DRAM 周辺回路部の高性能化、および、DRAM 以外の LSI での高性能化の要求に分けて説明し、引き続き本研究の目的と概要を述べる。

(1) メモリセル設計基準緩和 (1 章)

DRAM でノイズ耐性向上のため必須の技術である折り返しビット構造のメモリセルの最小の寸法が設計基準 F に対し配線、素子等を 3 次元化による縮小は、 $8F^2$ が限界であった。このような縮小限界に対し、セルアレイの高密度化をレイアウト的な観点から見直し、拡散層領域に着目すると DRAM メモリセルは、 $6F^2$ まで縮小可能であることを示し、さらに折り返しビット方式における素子の充填効率向上の検討を行った。

① 回路方式の変更と組み合わせて原理的にセルサイズを 75% に縮小できるレイアウト/回路技術 (TPF)。

② 現状回路方式で、セル構成要素を最適配列することにより微細化プロセス技術への負担を極力軽減できるレイアウト技術 (CPF)。

これらの技術を用いることにより、ノイズに強い折り返しビット方式で 25% セルサイズを縮小できることを示した。

CPF セルアレイに関しては、 $8F^2$ を保持し、セルアレイサイズを縮小するよりむしろ拡散層領域の最密充填により素子分離領域の設計基準を緩和する (従来手法の 1.5 倍) 方式も示した。この方式を用いると、同じ素子分離技術で 1 世代集積度が高い DRAM に使用できる小さなメモリセルを実現効果出来、このとき素子分離の縮小を伴わない分、保持特性、信頼性の劣化が生じないことを示した。加えて、容量値を確保しやすい COB セル構造 (Capacitor Over Bitline Cell) を作りやすく、量産性に優れることを示した。

(2) 二重ワード線方式 (2 章)

本章では、まず 64 MDRAM の開発にあたり、メモリセル上のワード線裏打ちアルミ配線の加工が、他工程と比較し困難であることが、セルフアラインコンタクト等の導入によりワード線裏打ち配線の設計基準が他の工程に比べ縮小率が大きいアンバランスが原因であることを解明し、そのため開発のポイントを加工技術の向上でなく、回路方式の変更による設計基準の緩和に置いて開発したことを示す。

メモリセル上の配線ピッチがワード線ピッチと同じ従来のワード裏打ち配線方式と異なり、二重ワード線方式は、X デコーダの下位アドレスデコーダをメモリセルアレイ内に分割配置することでデコード信号にしたので、配線ピッチを緩和する。これにより、設計基

準が緩和され新規なプロセス技術の導入無しに、高い段差のある状況での配線加工を容易にし、蓄積電極に容量確保に十分な電極表面積を与える高さの確保を可能にした。さらに緩和された設計基準は、配線ショートオープンの確率の低減を可能にし、配線の歩留まりを向上させる。この歩留まり向上効果を欠陥密度モデルと、歩留まりモデルを用い、通常用いられているワード裏打ち方式と比較することにより評価した。加えて、メモリセルアレイ領域と周辺回路領域に段差がある場合のアルミ配線の歩留まりについても評価した。この歩留まり評価より、二重ワード線方式のメモリセルアレイ上のアルミ配線ピッチが、ワード裏打ち方式のアルミ配線の4倍以上の場合、アルミ配線歩留まりは、ワード裏打ち方式でリダンダンシーを用い欠陥を修復し、かつ、グローバルな平坦化を行った場合と同等もしくは、優れることが見積もられた。この結果は、二重ワード線方式が歩留まり向上に効果があることを裏付けた。

(3) 同期式遅延回路 (4章、5章、6章)

16 MDRAM以降登場したシンクロナスDRAMにおいて、データは、外部から入力されるクロックの信号でデータ出力を制御し、このクロック周期を短くしてビット転送速度の向上が可能になった。しかし、256 MbitシンクロナスDRAMの開発において、250 MHz動作の高いビット転送速度の要求において、クロック周期の短縮とチップ面積増大によるクロック遅延増大により外部データクロックからデータ出力までの遅延時間が、クロック周期と同等になり、他のチップとのデータ通信が困難になった。

この問題を解決するためにPLL、DLL等の帰還回路でクロック内部遅延を実効的に無くしてクロックからデータ出力の遅延時間の短縮が可能であったが、これら帰還回路を用いた場合、クロックがロックするまで数百から数千クロック周期を有し、DRAMのスタンバイ時も動作させる必要があり、消費電力増大に加え、仕様変更が必要となった。さらに、設計時間の増大、評価解析の複雑さ、動作帯域の低下が生じ、歩留まり低下を引き起こす危険があった。

4章では、このDRAMの高いビット転送速度の実現と低消費電力の両立するクロック技術として同期遅延回路 (Synchronous Mirror Delay, SMD) を提案した。SMDは、クロックのロック時間を2クロック周期に短縮することを初めて可能にした。この回路は、CMOSのNAND、インバータからなる同型逆向きの遅延回路とクロック経路のレプリカ遅延回路の組み合わせから構成され、CMOS回路が動作する範囲でなら確実に動作する。逆向きに配置した2組の遅延回路で常にクロック周期の測定と再現を行っているので、プロセス変動、電源変動下でも安定な動作が可能であり、さらに、回路構成が単純なため、面積も小さい事を示した。5章では、インターリーブ動作と、NAND、NOR素子へのtPD以下の位相差入力によるインターポーレーション動作によりデジタル素子特有のジッタを低減できることを示した。6章では、クロック周期とクロック遅延量を同時に計測することで、クロック経路のレプリカ遅延回路省略出来、

PLL, DLLと同様の使用法が可能であることを示した。ここでは、クロック信号の制御を帰還系の回路を用いずに行うことは、高速化と低消費電力化の両立を求められるDRAMのみならず、LSI全般に貢献可能であることを示した。

(4) クロック直接補間方式による逡倍 (7章)

同期遅延回路の開発の後、PLL, DLLの帰還同期回路の技術では、実現出来ない必要時に応じてクロックをON, OFFする「クロック=オン=デマンド」(即時クロック供給)の実現要求を満たす技術として、非帰還同期回路の技術を充実させることを技術開発の課題とした。同期遅延回路(SMD)においてPLL, DLLの機能に近づけるべく開発をおこなったが、逡倍機能に関しては、遅延回路では、クロック周期と再現される遅延時間の誤差がジッタとして残り、逡倍出力クロックに対して逡倍数に比例してそのジッタ比率が大きくなってしまふ欠点があった。

この欠点を克服するためには、クロック周期をいきなり等分出来れば良い、これを実現するためクロック制御回路の基本回路自体を見直し、これまでの発振回路、遅延回路に対して第3の回路として従来PLL, DLLの補助回路として用いられていたインターポレータ回路を基本回路として初めて採用した。さらに精度、消費電力低減にすぐれた貫通電流抑圧方インターポレータを開発し、アレイ状に配置し、多相クロックを用いクロック周期を連続的に直接補完(内分)することで、ジッタ低減機能も有する非帰還逡倍回路を実現した。同時に直接補完の応用として、回路の高速化に際して必要性が高くなっている多相クロック分配の課題である相間位相の補正する回路を実現した。

(5) 将来への展望

以上、本研究では、局所的に問題解決をすることなく、大局的に考えて最適解を求めるといった研究手法をとった。その結果、設計基準緩和手法、非帰還同期回路により微細化の実現、帰還回路の使用と同等の効果に加え高い信頼性と性能を提供出来た。これにより、DRAMにおける技術、開発期間、資金面の課題を同時に解決した。これらメリットにより本手法・回路は、DRAMの標準的な技術となり、DRAMの大規模化高性能化に寄与している。さらに加えて、この研究手法により、世界で最初に $6F^2$ のDRAMメモリセル、同じく世界で最初にわずか2クロックで同期をする回路を生み出すことになった。その結果、本研究の設計基準緩和手法、非帰還同期回路は、この実用的効果に加え、従来とは異なる新たな研究領域・分野として認知されてきた。単独の効果に加え、従来技術と組合せでの新たな機能・効果が報告されている。以上、本研究で用いた局所的に問題解決をすることなく、大局的に考えて最適解を求めるといった研究手法は、実用的な開発効率に加えに研究効率向上が出来、極めて有効で広く貢献可能である。