

## 審査の結果の要旨

論文提出者氏名 佐伯 貴範

本論文は、「DRAMのメモリセルおよびクロック回路の高性能化とシステムLSIへの応用」と題し、局所的に問題解決をすることなく、大局的に考えて最適解を求めるという研究手法により、微細化を行わないメモリセルの縮小高集積化（設計基準緩和）、PLL等の帰還同期回路を用いないクロック制御（非帰還同期回路）を提示し、DRAMの開発における縮小高集積化、高速化と高信頼性、量産性、低コスト化、低消費電力化を同時に実現し、さらにシステムLSIへ展開したもので、全8章で構成されている。

第1章では、「序論」であり、本研究の背景を、DRAMメモリセル、周辺回路部の高性能化及び、システムLSIの高性能化の要求に分けて説明し、本研究の目的を明確化している。

第2章は「DRAMのセルアレイの最稠密化、最密充填配置技術」と題し、DRAM折り返しビット構造メモリセルの縮小限界 $8F^2$ （ $F$ ：設計基準）を、レイアウトの観点から見直し、 $6F^2$ まで縮小可能性を示し、さらに素子の最適構成、開発期間短縮効果を示した。

第3章では、「DRAMセルアレイ上メタル配線の設計基準緩和技術」と題し、従来のワード裏打ち配線方式に対し、セルアレイ上メタル配線ピッチを $2^n$ 倍に緩和する二重ワード線方式を提案し、デバイスプロセス開発短縮効果、メモリセル容量増大効果、歩留まり向上効果を示した。

第4章では、「DRAMの高速・低消費電力化のためのクロック技術」と題し、高いビット転送速度と低消費電力を両立するクロック技術として同期遅延回路（Synchronous Mirror Delay, SMD）を提案し、初めて2クロック周期のロック時間を可能にし、プロセス変動、電源変動下でも安定な動作が可能であり、さらに、単純な回路構成による省面積効果も示した。

第5章では、「インターリーブ構成による同期式遅延回路の精度向上技術」と題し、SMDのインターリーブ構成と、NAND、NOR素子固有のインターポーレーション特性の組み合わせによるデジタル素子特有のジッタ低減効果により、高精度化の可能性を示した。

第6章では、「クロック遅延直接検知による同期式遅延回路の汎用化技術」と題し、クロック周期とクロック遅延量を同時に計測することで、クロック経路のレプリカ遅延回路省略出来、PLL、DLLと同様の汎用的使用法が可能であることを示した。

第7章では、「非帰還クロック逡倍回路技術」と題し、SMDによる逡倍回路と課題を提示し、その課題を解決する回路として、クロック制御の基本回路に初めてインターポーレータ回路を採用し、クロック周期を直接補完（内分）することで、2クロック周期以下のロック時間に加えジッタ低減機能も有する非帰還逡倍回路と、同時に多相クロック分配の相間位相の補正する回路を実現し、高速低消費電力の実現だけでなく、PLLに無い機能を示し新たな可能性を示した。

第8章は、「総括」であり、第2章から第7章まで示した内容の製品への普及状況を加え、本研究の成果を総括している。

以上、本論文はダイナミックメモリの高集積化、高速化、低電力化、低コスト化、高信頼性化、量産性向上を同時に達成するため、設計基準緩和手法、および非帰還同期回路を提案し、実験、製品化によりその有効性を実証している。また、非帰還同期回路に関してはシステムLSIへの応用も実現しており、電子工学上寄与するところが少なくない。

よって本論文は博士（工学）の学位請求論文として合格と認められる。