



ためのデータパスオペレーションの高い平行性を有効にコントロールする。Signal Transition Graphs (STGs) は有効にこれらの同時出来事を表わすことができる。しかしながら、高い平行性 STG は、合成ツールの状態爆発問題を引き起こす。多くの小さい高平行性 STG がコントロール回路を得るためには合成することができない。本論文では、連続させるコントロール・ノード方式が、Control Data Flow Graphs (CDFG) から連続するコントロール・ノードを引き出すために導入され、データパスオペレーションの平行性がまだ保存されているそのようなもの。連続したコントロール・ノードから連続 STG を引き出され、平行コントロール・ノードから引き出された平行 STG より合成にはより単純な連続 STG がある。実験の結果は、合成状態の数がコントロール信号の数に比例することを示す。

第三の提案は Large specification managements である。大規模な回路では、多くのコントロール信号が論理合成困難(状態爆発問題および complete state coding (CSC) 問題のような)を引き起こす。本論文では、提案された連続する局所クロック制御回路に基づいた2つの管理が、コントロール信号をほとんど使用せず、かつできるだけそれらの0→1遷移と1→0遷移を利用するために導入される。実験の結果から、提案された方法によって非常に小さな、また少数のCSC矛盾仕様が得ることを知りました。

第四の提案は等時分岐制約 (Isochronic-Fork constraints) の除去である。Quasi-Delay-Insensitive (QDI) モデルは、分岐配線がすべて等時であると仮定する。等時分岐 (isochronic fork) の仮定は、分岐する枝に関連したゲートの一定および配線遅延の一定を要求する。本論文では、等時分岐制約 (Isochronic-Fork constraints) の除去方法が等時分岐必要条件を満たす必要がないような分岐を決定するために導入される。実験の結果から、既存のQDI回路のために仮定された多くの等時分岐が現実には“等時である必要がない”、あるいはさらに無視することができることを知りました。まだ等時分岐の制約を必要とする分岐については、レイアウト制約が回路の正確なオペレーションのために引き出される。

データパスネット・リスト、制御回路・ネット・リストおよびレイアウト制約はこの仕事の出力である。これらの出力ネット・リストから、デザイナーは、速いプロトタイプ用のFPGAにシステムを、あるいは目標チップを得るどんな組立て技術も、インプリメントすることができる。