

審査の結果の要旨

氏名 セッタセリケン ナッター

本論文は「Design of Asynchronous VLSI Systems with Local Clock Control (局所クロック制御による非同期式VLSIシステムの設計)」と題し、英文で7章から成っている。半導体集積回路技術の向上で微細化が進むにつれて、VLSIチップ上の配線遅延に起因するクロックスキュー問題のため、システム全体に分配されるクロック信号で動作を制御する同期回路ではデータ転送における同期を正しく保証することが困難となりつつある。クロックを持たない非同期回路にはこのようなクロックスキュー問題が生じないという利点のほかにも高性能、低消費電力の潜在的優位性があるが、現状ではその要求応答プロトコルのオーバーヘッドが大きいため十分な速度性能が出せず、実用化には至っていない。本論文は、この問題を解決するために Quasi-Delay-Insensitive (QDI) モデルに基づいた4相束データ方式による要求応答オーバーヘッドの少ない非同期式制御回路形式を提案し、シミュレーション実験によってその有効性を示すとともに、そのような制御回路を合成するための設計手法を提案したものである。

第1章「Introduction」では、本研究の背景と動機を述べ、従来の非同期回路研究を概観してそれらの問題点を指摘し、本研究の貢献が、局所クロック制御概念の導入によって応答要求プロトコルのオーバーヘッドを大幅に低減する非同期式制御回路の設計手法を提供したことにあると述べている。

第2章「Preliminaries」では、提案する設計手法の出発点である入力仕様記述は Control Data Flow Graph (CDFG) であり、実現する制御仕様の記述は State Transition Graph (STG) であると述べている。

第3章「Local Clock Controllers」では、従来の4相束データ方式による非同期式回路は2線論理より回路規模が小さく、消費電力が少ない点で優れているが、データパス回路の制御タイミングを保証する遅延素子の面積オーバーヘッド、及び4相式プロトコルによる制御オーバーヘッドが無視できないことを指摘し、局所クロック制御の導入によって面積ならびに制御オーバーヘッドを低減させる回路形式を提案し、その実現方法を述べている。提案する局所クロック制御方式では、従来の4相式プロトコルの idle フェーズをデータパス遅延と並行させて隠蔽するために制御オーバーヘッドが減少するとともに遅延素子

による面積オーバーヘッドが従来の方式に比べて減少することを示している。

第4章「Serializing control nodes」では、非同期回路を Control Data Flow Graph (CDFG) と呼ぶ仕様記述から信号遷移グラフ (STG) に変換して論理合成を行う過程で処理すべき状態数が爆発的に増加する問題を解決するために、データパス回路におけるクリティカルパス遅延を変えない範囲で、2つ以上の平行な動作を表すノードを1つのノードに置き換える直列化を行うことによって、速度性能を低下させずに状態数の増加を防ぐ方法を提案し、シミュレーション実験によって規模の大きな仕様記述も効率よく合成できることを示している。

第5章「Large specification managements」では、論理合成の過程で異なる状態に同じ2値ベクトルを割り当てる Complete State Coding (CSC) conflict が生じると正しく回路を合成することができないことを指摘し、信号の動作順序を変えることによって、CSC conflict の数を抑える方法を提示し、シミュレーション実験によって、その効果を示している。

第6章「Eliminating isochronic-fork constraints」では、本論文が前提とする Quasi-Delay-Insensitive (QDI) モデルは同一点から分岐した配線がすべて同じ遅延時間を持つ、すなわち等時分岐制約 (isochronic-fork constraints) を満たすと仮定する遅延モデルであるが、LSI チップ上のレイアウトでそのような仮定の全てを満足することは非常に困難であることを指摘した上で、レイアウト後の分岐配線が実際に等時分岐制約を満たす必要があるかどうか判定するアルゴリズムを考案し、ベンチマーク実験によって従来 QDI 回路のために必要とされた多くの等時分岐制約が実際には充足される必要がないことを明らかにしている。

第7章「Conclusions」では、本研究で得られた成果を総括し、残された課題を示している。

以上を要するに、本論文は、VLSI 微細化技術の進展で顕在化しているクロックスキュー問題を解決するため、グローバルクロックを用いない非同期式回路方式に局所クロック制御の概念を導入することによって実用化への課題の一つであった4相束データ回路制御における要求応答オーバーヘッドを低減する回路形式と設計手法を提案し、シミュレーション実験によってその有効性を示したものであり、その成果は工学的に貢献するところが大きい。よって本論文は博士(学術)の学位請求論文として合格と認められる。