

論文の内容の要旨

論文題目:

CMOS Array Logic Architectures Using Dual-Rail Threshold Logic Circuits

(2線式しきい値論理回路を用いた配列型
CMOS 論理アーキテクチャに関する研究)

氏名: 山岡 寛明

近年、半導体微細加工技術の進展により、集積回路の大規模化が急速に進んでいる。一つのシリコンチップ上に多くの回路を集積することにより、高性能化及び高機能化を実現することが可能である。しかし、大規模化と同時に設計が急速に複雑化し、一度の設計で回路を正常に動作させること、更には設計自体が非常に困難な状況となっている。計算機を用いた自動設計技術の進歩により大規模回路が設計可能となってきてはいるものの、微細加工技術の進展による大規模化には追いついていない。

この設計複雑化の問題を解決するため、規則性を有する論理回路方式を用いた設計手法が検討されている。現在主流の設計手法となっているスタンダードセルを用いた手法は、自動設計技術の進展により非常に面積効率の高い回路を生成可能ではあるものの、ランダムな回路構造にて生成されるため設計後の面積や性能の予測が難しく、半導体の微細化と共に設計工程の繰り返し回数が増大し、設計が長期化することが問題となっている。一方、規則性を有する回路方式は設計の初期の段階において面積や性能の正確な予測を与えるため、設計の繰り返しに要する期間を大幅に短縮することができる。また、回路構造の規則性を利用することにより、半導体の微細化と共に顕在化してきたクロストーク・ノイズなどの信号の完全性を劣化させる要因を予測し、緩和することが容易となる。しかし、規則性を有する回路方式は設計容易性を有するものの、スタンダードセルを用いたランダム回路に比べ面積効率が低く、大きな面積を必要とすることが問題となっている。

本論文では、規則性を有する配列型 CMOS 論理アーキテクチャに着目し、面積効率の高い回路方式を提案した。更に、配列型という特徴を利用した低信号振幅化技術を検討し、高速・低消費電力な回路方式の提案を行った。

まず、高速・低消費電力な回路方式として、2線式しきい値論理回路を用いた配列型 CMOS 論理アーキテクチャを提案した。提案回路はプログラマブル・ロジック・アレイ(PLA)構造に基づいており、任意の論理関数を実装することが可能である。また、電荷分配方式及び

自己プリチャージ方式を提案し、高速・低消費電力動作を実現した。応用回路として、 $0.6\mu\text{m}$ CMOS 技術を用いて 32 ビット比較器を設計し、従来のドミノ論理回路、1 線式 PLA 及び 2 線式ダイナミック回路に比べ、それぞれ 20.0%、45.5%、22.6%の高速化及び 32.9%、34.7%、15.4%の遅延時間・消費電力積削減を実現した。また、1 線式回路及び 2 線式回路の特性比較を行い、半導体の微細化と共に 2 線式回路が持つノイズ耐性、リーク電流耐性が重要となってくることを示した。

また、配列型 CMOS 論理アーキテクチャの面積を削減することを目的として、2 入力論理セルを内部に有する 2 線式 PLA(LCPLA)を提案した。2 入力論理セルはパストランジスタを用いて任意の 2 入力論理関数を実現し、従来の 2 線式 PLA の面積を劣化させることなく回路に組み込むことが可能である。2 入力論理セルを用いることにより、多くの論理関数における積項数が削減可能であることをベンチマーク回路及び開発した論理合成手法を用いて確認した。64 ビット入力、1 ビット出力、積項数 220 の提案回路を $0.35\mu\text{m}$ CMOS 技術を用いて設計し、前述の配列型 CMOS 論理アーキテクチャに比べ 36.0%の面積削減、また、従来の 1 線式 PLA 及び前述の配列型 CMOS 論理アーキテクチャに比べ、それぞれ 74.6%、46.0%の遅延時間・消費電力積削減を実現した。また、提案 PLA の自動設計手法としてモジュール・ジェネレータを開発し、従来のスタンダードセルを用いた設計手法に比べ、論理回路の設計容易化が可能であることを示した。

また、配列型 CMOS 論理アーキテクチャの高速化及び高面積効率化を実現する物理レイアウト設計手法を提案した。この手法は要素回路の分割化及び再配置手法に基づいており、効率よく回路を実装することができる。応用回路として、 $0.13\mu\text{m}$ CMOS 技術を用いて 128 ビットのデータ長を持つ比較器、プライオリティ・エンコーダ及びインクリメンタを設計し、平均 22.2%の高速化及び 37.5%の面積削減を 2 線式 PLA において実現した。また、各回路間において多くの回路要素を共有できるため、更なる設計容易化が可能であることを示した。

更に、これまでの提案回路の拡張として、論理しきい値を変化させることが可能である 2 線式しきい値論理回路を提案し、PLA 構造に基づいた配列型 CMOS 論理アーキテクチャを提案した。提案回路はこれまで提案した回路方式及び従来の PLA と組み合わせて使用することが可能であり、更なる面積効率の向上を実現することができる。 $0.35\mu\text{m}$ CMOS 技術においてベンチマーク回路を用いて実験を行い、LCPLA と組み合わせることにより、平均 12.7%の積項数削減、11.5%の面積削減及び 13.9%の遅延時間・消費電力積削減が LCPLA 単体による回路方式に対して可能であることを確認した。また、提案アーキテクチャに基づいたフィールド・プログラマブル回路構成を提案し、論理関数を効率よく実装できることを示した。更に、提案しきい値論理回路の応用として、外部入力データとのハミング距離に応じたデータ検索機能を有する機能メモリを提案した。 $0.35\mu\text{m}$ CMOS 技術を用いて 32×128 ビット構成のメモリマクロを設計し、高速・低消費電力動作が可能であることを示すとともに、外部入力データからハミング距離 7 までのメモリデータ検索が可能であることを確認した。