

## 審査の結果の要旨

論文提出者氏名 山岡 寛明

本論文は「CMOS Array Logic Architectures Using Dual-Rail Threshold Logic Circuits (2線式しきい値論理回路を用いた配列型 CMOS 論理アーキテクチャに関する研究)」と題し、2線式しきい値論理回路要素を基本回路として用いた高速、小面積の配列型 CMOS 論理アーキテクチャについて研究したもので、6章より構成され英文で記述されている。

第1章は「Introduction (序論)」であり研究の背景と目的を述べている。従来の CMOS 回路諸方式の問題点を示すとともに、本研究で対象とする配列型 CMOS 論理アーキテクチャであるプログラマブル・ロジック・アレイ (PLA) の特徴と基本概念について述べ、あわせて本論文の構成を示している。

第2章は「Concept of CMOS Array Logic Architectures Using Dual-Rail Threshold Logic Circuits (2線式しきい値論理をもちいた CMOS アレイ論理構造の概念)」と題し、2線式しきい値論理回路を用いた配列型 CMOS 論理アーキテクチャの基本概念を示し、電荷分配則を用いた低振幅・高速回路方式を配列のカラム回路として提案している。本方式はプログラマブル論理配列 (PLA) 構造に基づいており、任意の論理関数を実装することが可能であるが、本方式を用いたアプリケーション回路例として 32 ビット比較器を設計している。シミュレーション結果より従来の高速配列型 CMOS 回路に比べ約 20% のサイクル時間の削減が可能であることを示すとともに、試作測定実験より高速動作を確認している。

第3章は「Logical Compaction by 2-Input Logic Cells (2入力セルによる論理的コンパクション)」と題し、2入力論理セルを用いてより小面積な2線式 CMOS アレイ構造を合成する方法について述べている。提案の2入力論理セルは第2章で述べている配列方式のセルとして埋め込み、実質面積を増大させることなく配列内部に実装し論理関数上多機能化することが可能となっている。同時に提案している2線式埋め込みセルを活用するための論理合成手法を用いて約 50% の積項数削減が可能であることをベンチマーク回路において示している。さらにまた、実験的にも高速動作が実現可能であることを確認している。

第4章は「Delay Reduction and Physical Compaction by Divided and Interdigitated Column Circuits (分割楕円カラム回路による遅延削減と物理的コンパクション)」と題し、レイアウト設計の上でカラム回路を分割し折り畳むことで配列型 CMOS 論理アーキテクチャの高速化及び小面積化を実現する手法を提案している。また、本手法を用いて3種類の算術演算回路を例として設計し、約 20% の高速化と約 40% の小面積化が実現可能であることをシミュレーションにより示している。

第5章は「Extension to Multiple-Threshold Logic (多しきい値論理への拡張)」と題し、第2章で述べたしきい値論理回路のしきい値を随意設定できるよう拡張する方法を提案している。提案のしきい値論理回路は配列構造のカラム単位で最適化することが可能な構造となっており、第3章及び従来の

小面積化設計手法と組み合わせることで更なる小面積化を実現できることを述べている。同時にしきい値論理要素を基本とした論理合成手法を新たに提案し、第3章で提案している回路方式と組み合わせることで約10%の積項数を更に削減可能であることをベンチマーク回路により示している。

第6章は「Conclusions(結論)」であり、本論文の研究成果をまとめている。

以上、本論文は2線式CMOSしきい値論理回路を基本要素として配列したプログラマブル論理アレイをベースとして、高速化、小面積化を実現するための回路設計上の新提案とそれに適した論理合成手法を提案し、シミュレーションおよび試作測定実験によりその有効性を示したもので電子工学の発展に寄与するものといえる。

よって本論文は博士(工学)の学位請求論文として合格したものと認められる。