

## 論文の内容の要旨

### 論文題目

“Correlation-Based Analog Information Processing Systems  
Using Floating-Gate MOS Technology”  
(フローティング・ゲート MOS 技術に基づくアナログ相関情報処理システム)

氏名 山崎 俊彦

半導体の集積回路技術はムーアの法則に示されるように驚くべき早さで進化し続けており、計算機の演算処理能力も飛躍的に向上している。それに伴って実時間での音声・画像認識や動画像処理などが情報処理において多く求められるようになった。これらの処理で最も重要な演算の 1 つが相関演算、即ち入力された情報と予め蓄えられたテンプレートとの距離や内積を計算する演算である。距離演算と内積演算は全く独立した演算のように見えるが、本質的には同じものである。現在音声や静止画・動画像の圧縮や認識に広く用いられているテンプレートマッチングやベクトル量子化などの手法は、相関演算を基本とした技術である。相関演算は他にも 3 次元奥行き知覚、動画像の動き検出など様々な分野で力を発揮する。しかし、相関演算に求められる処理は膨大で、現在主流の逐次処理型汎用 CPU とその上で実行されるソフトウェアの組み合わせでは大変な演算時間を必要とする。そのため、実時間処理を目指した相関演算専用ハードウェアはデジタル型、アナログ型を問わず多数開発されている。専用デジタル・プロセッサを用いると柔軟、かつ高精度な演算が実現できる反面、一般的に消費電力が高い。今後携帯電話や PDA などの携帯端末でも様々な相関演算が求められることが予想されるが、携帯端末では供給できる電力や面積が強く制限される。また、CPU やメモリのリソースなどにも限りがある。そのような環境ではアナログ回路によって低消費電力、高集積で実現することが重要な技術となる。しかし、アナログ回路で実現する上で問題となるのが 1 度回路を作ると演算特性などを柔軟に変更できない点である。

本論文ではフローティング・ゲート MOS 技術を用いて低消費電力で柔軟なアナログ相関演算システムを実現した。開発した回路は CMOS インバータに流れる貫通電流を類似度演算特性として利用している。また、フローティング・ゲート MOS 技術やその他の回路技術と組み合わせることでテンプレートの値を記憶するだけでなく、類似度評価の重み付けや、その類似度評価の厳密さを実時間で変更する機能を実現した。類似度評価の厳密さを制御するために入力信号のゲインを制御する方法と、出力信号をコントロール・ゲートにフィードバックかけその量を制御する方法の 2 種類を開発し、その結果関数の傾きが変化するピラミッド型と関数の傾きはほぼ一

定で類似度が満点の領域が変化する台形型 2 つの関数形を実現した。また、回路に与えるバイアス電圧を制御することによって一般的な回路動作で使用される **above-threshold** 領域のみならず **sub-threshold** 領域、すなわちトランジスタの閾電圧以下の領域でも動作させることが可能である。この領域を用いることにより  $\mu\text{W}$  以下の超低消費電力で相関演算が実現できる。短期的にテンプレート値を記憶するにはフローティング・ゲートのオート・ゼロイング手法を用いた。また、後述するように半永久的にテンプレート値を記憶するための高速書き込みアナログフラッシュ EEPROM の開発も行った。開発した回路は評価値を電流で出力するため、出力端子を短絡するだけで加算を行うことができる。これによりベクトル同士の相関演算回路も容易に実現できる。また、そのようにして得られたベクトル同士の相関値の中で、最も相関値の高いものを瞬時に検出する **Winner-Take-All** 回路も実現した。0.6- $\mu\text{m}$ CMOS プロセス技術を用いて 16 次元、15 ベクトルを扱えるテスト回路を試作した。

この相関演算回路と、我々の研究室で開発された **Projected Principal-Edge Distribution (PPED)**方式と呼ばれる画像から特徴ベクトルを生成するアルゴリズムと組み合わせて画像認識への応用を行った。その結果、簡単な手書きパターン、手書き数字などの 2 値画像の認識に成功した。また、手書き重なり画像に対し、予めいくつ重なっているなどの情報を与えなくても正しく分離・認識するアルゴリズムを開発し、実験により実証した。さらに、グレイスケールの医療用 X 線画像を用いた特徴点抽出などに成功した。これらの実験の中で類似度演算の重み付けや厳密性、回路動作領域を変化させた際の効果についても明らかにした。

本論文で開発したアナログ相関回路をイメージセンサ 1 ピクセル毎に集積化し、画像の中の動いている物体の位置と速度をリアルタイムに検出するシステムを開発した。一般的に動き画像は膨大で冗長な情報を持っているので、ソフトウェアや DSP で厳密に演算するのに比べてアナログ相関回路は効率よく高速処理ができると期待される。本研究室では従来より、独自に開発した「疑似二次元アルゴリズム」を用いた動き検出回路の開発を進めてきた。このアルゴリズムではまず撮影された静止画像を  $x, y$  軸の両方向に射影し、そのヒストグラムに対して時系列的相関を計算する。時系列相関をとることによって背景の情報は打ち消され、動いている物体の位置のみがロバストに検出される。しかし、静止画を射影してヒストグラムを生成する過程で動きに関連する重要な情報が欠落することがあり、動き検出の性能には限界があった。そこで、本論文では 1 ピクセル毎に相関を取って動き量を計算、その後  $x, y$  方向に射影して動き量ヒストグラムを生成する方式を開発した。この方式においてもまず 1 ピクセル毎に相関をとることで背景の情報はキャンセルされる。動いている物体の位置は得られたヒストグラムに簡単な閾値処理を施すことで、また速度は時系列的に得られた 2 つのヒストグラムに対して一方をずらしながら再度相関を取り、最大の相関値を検索することで計算できる。このアルゴリズムの妥当性は予めコンピュータシミュレーションで検討し、その結果、1 つもしくは 2 つの物体が動いている合計約 200 フレームの動画に対してほぼ 100%の精度で動きを検出することができた。0.35- $\mu\text{m}$ CMOS プロセスで 48x48 ピクセルのテスト回路を試作した。1 ピクセルの大きさは  $50\mu\text{m} \times 50\mu\text{m}$ 、フィルファクターは 17%で、実験の結果動きの位置が正しく検出できることが実

証された。消費電力は電源電圧 3.3V、動作速度 143 フレーム/秒で 260mW であった。

また、本論文では、相関演算回路中に長期的にテンプレート値を記憶するための高速書き込みアナログフラッシュ EEPROM を開発した。EEPROM の書き込みで一般的に用いられているチャネル・ホット・エレクトロン注入現象について詳しく解析した。その結果、書き込み開始時の線形領域動作では急激な書き込みが起こる一方、書き込みが進んでトランジスタが飽和領域動作になると押し戻し電界のために逆にほとんど書き込みが起こらなくなるという自己収束現象を利用した新たな書き込み方式を開発した。これにより、従来方式では数 100 $\mu$ s~数 10ms かかっていた書き込み時間を数 $\mu$ s~数 10 $\mu$ s まで短縮できる可能性を示した。また、書き込み終了の判断に用いられる Write-and-Verify と呼ばれる手法がさらに書き込み時間を低速なものにしていたことから、書き込みを行うと同時にフローティング・ゲートの電位を読み出すことのできるデュアル・ゲート構造を開発した。このアナログ EEPROM の開発においては富士通・AMD セミコンダクター社の技術協力を受けテスト回路を試作し、10 $\mu$ s の固定長パルスを用いて書き込みを行った場合において 3V レンジで 4bit 精度相当(16 値程度)の書き込みが可能であることを実験により確認した。

画像認識や動き検出のようにアナログ値同士の相関演算ではなく、アナログ値とデジタル値同士の相関演算も様々な用途があり、非常に重要である。特に次世代無線通信方式として期待されている CDMA システムにおいては、基地局と端末間で同期を捕捉するために用いられているマッチトフィルタ回路の中でこの演算が用いられており、システム全体の性能を左右している。現在実用化されているシステムではほぼ 100%デジタル回路によりマッチトフィルタは開発されている。しかしデジタル・マッチトフィルタは相関演算回路自体の消費電力が大きく、また受信したアナログ信号をデジタル信号に変換する高速な AD 変換回路の消費電力も大きい。携帯端末では電力の供給が限られているため、消費電力の増大は大きな問題である。そこで、現行のシステムでは消費電力を落とすためにデータ通信速度を下げたり、相関演算長を短くしたりして通信の性能を犠牲にしているのが現状であるが、それでも 100mW 以上の電力を消費している。そこで、論本文ではフローティング・ゲート MOS 回路技術を用いて低消費電力・省面積の CDMA マッチトフィルタを開発した。演算アルゴリズムを見直すことにより 1 クロックで全ての演算を実現する高速な相関演算方式を開発した。また演算に参加するカップリングキャパシタの数を半分にすることでキャパシタンスの充放電にかかる消費電力を削減し、基準電圧発生回路が不要なアーキテクチャにできたことで低消費電力動作を実現した。0.35- $\mu$ m CMOS プロセス技術を用いて PN チップ長 31 および 255 のマッチトフィルタを設計・試作し、電源電圧 3V においてチップレート 8MS/s までの動作を実証した。そのときの消費電力 7.74mW であった。また、電源電圧、バイアス電圧の最適化の結果チップレート 4MS/s の場合には電源電圧 2.4V、消費電力 3.54mW で実現できることも示した。チップ面積は約 1mm<sup>2</sup> と、従来報告されているアナログ・マッチトフィルタに比べて 1/5 程度の省面積を実現した。

本論文では、フローティング・ゲート MOS 技術を用いてアナログ相関演算情報処理システムを構築した。まず柔軟に演算特性を制御することが可能なベクトルマッチング回路を開発した。

我々の研究室で開発された Projected Principal Edge Distribution (PPED)法と組み合わせることによって手書き文字や手書き数字などの柔軟な画像認識に成功した。また、開発した相関演算回路をイメージセンサと組み合わせることでロバストに動きを検出する回路を開発した。そして、相関演算に必要なテンプレートをアナログ値のまま長期に記憶するために EEPROM の書き込みメカニズムを解析し、その特性を生かした自己収束書き込み方式を開発した。また、CDMA マッチフィルタのための相関演算回路も開発し、演算アルゴリズムを見直すことで低消費電力なシステムを開発した。今後、開発したシステムは超低消費電力な相関演算システムへの応用、またサポート・ベクター・マシンのアナログ VLSI での実現への応用などが期待される。