

## 審査の結果の要旨

論文提出者氏名 テーチェンコン

本論文は "System Self-Timing Methodology and Design Techniques for BSFQ Circuits" (BSFQ 回路向けのシステム自己同期方式と設計技術の構築) と題し、超伝導論理回路の実用化を目指して行った研究をまとめたものである。その内容は我々のグループが提案してきた BSFQ 回路 (レベル型単一磁束論理回路: Boolean Single Flux Quantum Circuits) 向けのシステム記述を提案し、その記述を実現するための回路の構築を行い、また設計技術の面では電流の再利用法を提案するもので、6章により構成されている。

第1章は「序論」であり、本研究の背景と目的、および本論文の概要と構成について述べている。さらに、SFQ 回路の全般に関して簡明な解説と他回路方式との比較説明を加えている。

第2章は「BSFQ 回路向けのシステム自己同期方式」と題し、斬新なシステム自己同期方式「2重コーディング階層化パイプライン方式」(DEHP 方式) を提案している。この方式では、二つのコーディングを利用し、一つがローカルの BSFQ 回路に十分なタイミング情報を提供し、もう一つがグローバル機能ブロックにタイミング情報を提供する。その上、自己同期のマイクロパイプライン、メタパイプライン、及びパイプラインを用いて任意の非同期 BSFQ システムを階層的に構築している。また、この方式を実現するために、非破壊的メモリセルと破壊的メモリセルといった新しい回路を構築し、その正常動作を確認したことを述べている。さらに、この DEHP 方式の有効性を示すために、出力がデマルチプレックスされたシリアル全加算器を設計して示している。

第3章は「新しい BSFQ 回路の構築とその実験評価」と題し、Sum セル、Carry セル、スイッチ、非破壊的キャッシュといった新しい BSFQ 回路を構築し、その回路の実験評価を行いその正常動作を確認している。さらに、4ビット Carry Lookahead 全加算器を Brent-Kung の木構造に基づいて設計し、BSFQ 方式の設計の易さを示している。

第4章は「セルライブラリの構築」と題し、大規模回路の設計でその手間を減らすための、BSFQ の標準セルライブラリの設計を示している。そのライブラリは NEC の標準 Nb プロセスに基づいて設計されたもので、27種類の回路、計65個のレイアウトを有している。さらに、本章では BSFQ セルのバイアス電流の動作マージンを測定し、その理論値との比較を行ないよい一致を見ている。

第5章は「キャパシタンスのグラウンドを用いた電流の再利用法」と題し、バイアス電流の変動を最小限にし、共通グラウンドを提供するため、キャパシタンスのグラウンドを利用した電流再利用法を提案している。電流再利用法は、バイアス電流の供給を数アンペアから数百ミリアンペアにすることができ、大規模の **SFQ** 回路を実現するために不可欠な技術である。さらに、本研究は最適化されたドライバーおよびレシーバを示し、その有効性、かつその特性を評価している。

第6章は「結論」であり、本研究の成果を要約して述べている。

以上を要するに本論文は **BSFQ** 回路のためのシステム自己同期方式及びその回路を構築し、またグローバルバイアス電流を大きく削減できる電流再利用方式を提案したものであり、超伝導論理回路の分野へ貢献するところ大である。

よって著者は東京大学大学院工学系研究科における博士(工学)の学位論文審査に合格したものと認める。