

## 審査の結果の要旨

氏名 高木 将通

近年、急速に拡大したプロセッサとメモリ間の速度差は、アプリケーション性能向上を阻害するものである。プロセッサとメモリ間の速度差を埋める目的でキャッシュメモリが使われている。キャッシュミスが生じるとメモリを参照するために、キャッシュミスをなるべく減らす手法が、従来から提案されてきた。本論文は、キャッシュミスの原因を2つに分類し、それぞれの原因に対応するキャッシュミス軽減手法として、Field Array Compression Technique (FACT)およびInter-Reference Gap Distribution Replacement (IGDR)を提案し、有効性をシミュレーションにより明らかにしたものである。

一つめのキャッシュミスの原因として、置換えの判断が正しくても起こるキャッシュミスがある。この原因に対して、データの冗長性と時間的親和性を利用することにより削減する。あるデータと別のデータの参照時間が互いに近いとき、それらのデータが時間的親和性を持つという。再帰的構造体を用いるプログラムではコンパイラにより静的に時間的親和性を検出することは難しい。そこで、再帰的構造体によって起こされるキャッシュミスを減らす方法として、本論文では、FACTと呼ばれる手法を提案している。FACTは、時間的親和性を持つデータを、メモリ上での配置変換を行なうことによって、メモリの連続領域に集める。さらに再帰的ポインタフィールドと整数フィールドを圧縮する。これにより、メモリからキャッシュへの転送容量が減り、かつ、実効的なキャッシュ容量が増大する。提案されたFACTは実行駆動シミュレーションによって評価される。Oldenベンチマークの8個のプログラムにおいて、平均37.4%の速度向上が達成されていることを確認する。

二つめのキャッシュミスの原因として、置換えの判断を誤ったために生じるキャッシュミスがある。この原因に対して、本論文では、プロセッサのセットアソシアティブ2次キャッシュのための新たな置換えアルゴリズムであるIGDRを提案している。IGDRは、メモリブロックに重みをつけ、置換えの際は、最小重みのメモリブロックを選択する。メモリブロックの重み付けは、メモリブロックの参照間隔の逆数を使用する。ここで、参照間隔とは、前回参照されてから経過した時間を指す。各メモリブロックに参照間隔の統計情報を保持することは多くのロジックを必要とし、非現実である。そこで、統計は、参照回数、参照間隔によって、メモリをクラスに分類し、クラス単位で統計情報をとる。提案されたIGDRの有効性を、実効駆動シミュレーションにより評価される。SPEC CPU2000ベンチマークの10個のプログラムにおいて、IGDRは、平均17.2%のキャッシュミス数を軽減し、平均9.2%の速度向上が達成されていることを確認する。

さらに、二つの手法を組み合わせた場合の評価を行なっている。組み合わせた手法では、Oldenベンチマークの8個のプログラムにおいて、FACTだけの性能に比べて、最大13.5%、平均3.2%の速度向上を達成していることを示す。

本論文は、このように、メモリ階層におけるプロセッサ内キャッシュとメモリの間のキャッシュミスに対して、その問題点を体系化し、それら問題点に対して、新しい手法を提案している。提案手法は、学位請求者が開発した実行駆動シミュレーションソフトウェアにより評価されている。二つの提案手法による速度向上は、それぞれ、平均37.4%と17.2%である。この数値は、当該分野における提案の中では世界レベルにあると認める。

よって本論文は博士（情報理工学）の学位請求論文として合格と認められる。