

審査の結果の要旨

論文提出者氏名 児玉 祐悦

本論文は、「細粒度通信に基づく並列計算機アーキテクチャに関する研究」と題し、7章と付録からなる。大規模シミュレーションや大規模サーバなど、計算機性能に対する要求は今後も著しいことが予想されるが、それには並列化が不可欠である。しかし、単にマイクロプロセッサを繋いただけでは実効効率が低下し求める高性能が得られず、その原因である通信レイテンシを減らすことが重要である。本論文は、通信レイテンシを減らすためのアーキテクチャに関して新たな方式を提案しその効果について論じたものである。

第1章「はじめに」は、研究の背景、目的を述べるとともに、本論文の構成についてまとめている。

第2章「レイテンシ隠蔽の各種方式」は、従来の通信時間隠蔽の方式を概観し、命令レベルデータフロー計算機、スレッドレベルの並列アーキテクチャ、細粒度マルチスレッド方式、同時マルチスレッド方式などを取り上げてその特徴と問題点をまとめ、ソフトウェアとの協調による単純なハードウェア構成の重要性を指摘している。

第3章「細粒度通信機構に基づくマルチスレッドアーキテクチャの方式」は、本論文で提案しているアーキテクチャ方式について述べたもので、まず、設計指針として1,000台規模の並列処理を対象とすること、通信機構とプロセッサとを併せて1チップ化すること、動的なスレッド生成を考慮してコンテキストをメモリ上に置くこと、スレッド処理の効率化・一般化を行い遠隔メモリアクセスの効率化を図ることなどを挙げている。次に、これら各指針の実現の為の要素技術について詳しく述べ、スレッドの生成は遠隔手続き呼び出しと **FORK** 処理の時におこない、細粒度通信を支援するために2語の固定長パケットをハードウェアで処理し、パケットの生成・送信を1命令でおこない、到着パケット用に **FIFO** を設けてスレッド実効から独立させ、パケット自身がスレッドを直接起動し、グローバルアドレス上部にプロセッサ番号フィールドを設けて遠隔メモリの読み書きはスレッド実行とオーバーラップして処理する、などの機構を提案している。

第4章「細粒度通信機構に基づくマルチスレッドアーキテクチャの実装」は、前章で提案したアーキテクチャに基づく計算機を実装したプロトタイプ計算機 **EM-X** について述べたものである。**EM-X** は、80プロセッサからなるシステムで、1993年に設計を始めたものであるが、1ボードに5プロセッサを乗せている。各要素プロセッサは1.0ミクロンルールのゲートアレイで開発されたもので80,000ゲートからなり10MHzで動作し、メモリバンド幅は40MW/sec、整数演算性能20MIPS、浮動小数点性能40MFLOPSを出す。プログラム開発環境は、スレッドへの自動分割やマルチスレッドライブラリの付加に対応するC言語コンパイラ、プロセッサから遠隔メモリとして参照可能なビデオボード、実行に影響を与えずにプロセッサ状態をモニタ可能な機構、クロックを止めて任意のクロック数の正確

なトレースが可能な機構などからなる。

第 5 章「細粒度通信機構に基づくマルチスレッドアーキテクチャの評価」は、上記プロトタイプの評価をおこなったものである。まず小さなベンチマークを用いて基本性能を調べており、遠隔メモリアクセスや遠隔手続き呼び出しにかかるレイテンシ、基本レイテンシの隠蔽性能、2 プロセッサ間のスループット、ネットワーク負荷によるレイテンシの変化、バリア同期性能などを測定し、効果的なレイテンシの隠蔽が可能になっていることを示している。次にいくつかの代表的なプログラムとして、行列乗算、ナップサック問題、三角行列代入処理、三角方程式の並列化などを用いて性能評価をおこない、最後に、大きな応用プログラムの代表として 3 次元粒子シミュレータ MP3D、並列 Radix Sort に対して評価をおこなうとともに、他の代表的な並列計算機と比較をしている。その結果、EM-X は、プロセッサ数が増しても処理のオーバーヘッドが増さず効率的な処理が可能であることを示している。

第 6 章「考察」は、前章の評価結果を踏まえて提案アーキテクチャの考察をおこなったもので、計算性能と通信性能のバランス、局所同期のハードウェア支援の効果、スレッド切り替えのオーバーヘッド、メモリ階層の影響などについて議論をしている。

第 7 章は「結論」である。

以上、これを要するに本論文は、高性能な並列処理の中核技術である通信レイテンシの隠蔽用アーキテクチャを提案し、プロトタイプ計算機を構成して評価しその有効性を示したもので、電子情報工学上貢献するところ少なくない。

よって、本論文は、博士（工学）の学位請求論文として合格と認められる。