

論文の内容の要旨

論文題目 デバイス構造に着目したディープサブミクロン

MOSFETの高性能化の研究

氏名 久本 大

ディープサブミクロン時代のLSIデバイスの研究開発では、スケーリングの主目的がそれまでのサブミクロン時代のメモリを主体とした高集積化から、マイクロプロセッサに代表されるロジックチップの高性能化へと変わってきた。1990年代を通してスケーリングによる高性能化を追求してきた結果、これまで用いることのできなかった例えば大型コンピュータや高周波分野等へもCMOSが用いられるようになってきており、ほとんどのLSIがCMOSで作られるようになってきている。また、高性能素子の集積化が消費電力の問題を顕在化させ、消費電力の低いデバイスの必要性が顕在化したため、構造が単純で消費電力の少ないデバイスとしてCMOSが注目されたものと考えられる。

MOSFETの性能向上はスケーリングにより行われてきた。このスケーリング指針のなかに、材料や新たな動作原理等が入っていないため、高性能化はデバイス構造によって果たす必要があった。そこで本論文は、デバイス構造の点からMOSFETの高性能化について検討を加えるものである。ここでは実験的にデバイス構造の高性能化の効果を明らかにするため、図1.1の枠に示す新たに提案したデバイス構造を実際のLSIプロセスを用いて試作し、その素子特性の評価を行った。

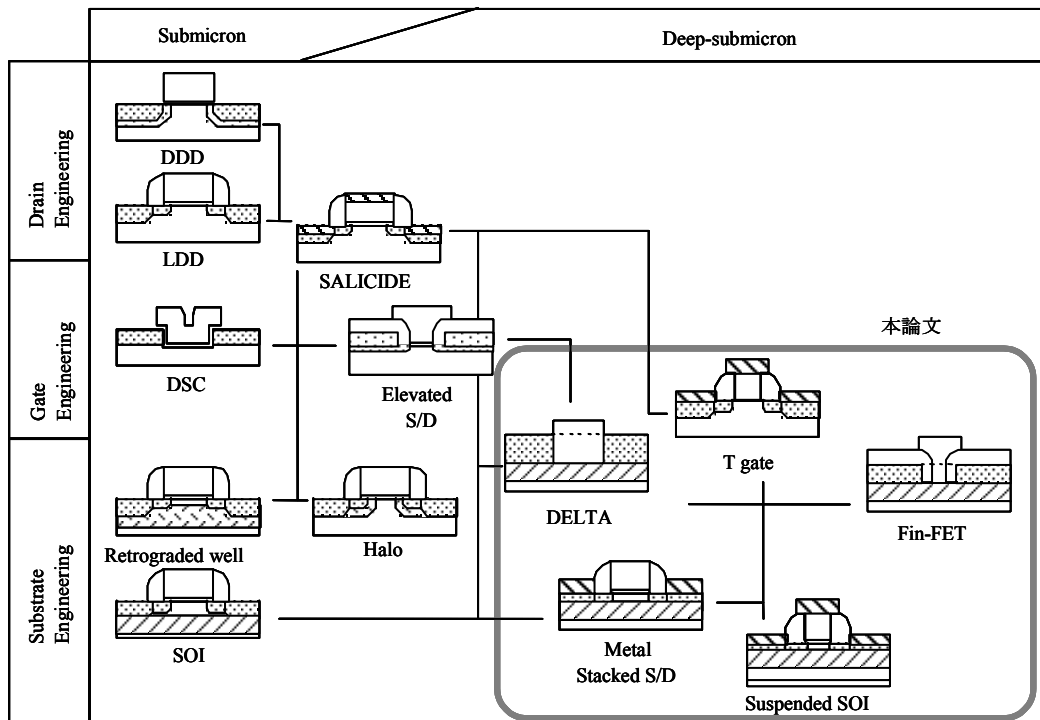


図1.1 サブミクロン/ディープサブミクロン時代のデバイス構造推移

以下、本論文の各章ごとに検討したことを明らかにし、ディープサブミクロン世代におけるMOSFETの高性能化についてデバイス構造からみた考察をまとめる。

本論文の第2章では、基板不純物濃度とチャネル長の関係について検討した。まず、従来のスケリング指針に従って基板不純物濃度を高くすると閾値が高くなるため、低電源電圧化の障害となることを明らかにした。これを回避するには、チャネル表面付近の基板濃度を低くすることが必要であることを示し、さらに、このチャネル構造で短チャネル化を行うためには、ゲート電極によりチャネルを制御することが必要なことを明らかにした。これを基にデバイス構造について検討し、ダブルゲート型SOIの有効性を明らかにした。ここでは、従来の平面MOS配置では実現困難と考えられた積層構造が、縦型配置を採ると通常のプレーナ技術によりバルク基板を用いて形成できることを示し、さらに試作した新構造デバイス(DELTA)の特性を評価することで、ダブルゲート型SOIにおいて、ゲート電極が有効に短チャネル効果を抑制することを実証した。これによって、MOSFETで低濃度不純物チャネルと短チャネル化が両立できることを明らかにした。

第3章において、拡散層に起因する寄生抵抗について検討した。MOSFETの特性劣化のなかで、特にソースに現れる寄生抵抗による電圧降下は、ソース、ドレイン間の電圧

を低下させるだけでなく、ゲート電極のチャネルへのオーバードライブを小さくするため大きな問題になる。ここでは基板との反応を必要とするシリサイドによる拡散層の寄生抵抗低減法は、浅接合化を求めるスケーリングとの整合性に欠けることを明らかにした。また、拡散層中での寄生抵抗成分を解析することで、浅接合化を進めると、拡散層の抵抗が高くなるために金属層とシリコン層の接触抵抗が顕在化することを明らかにした。次いで、こうした問題を回避するため拡散層の積み上げ構造を用いることの有効性を示し、選択タングステンプロセスを用いて拡散層上に金属層を積み上げる構造を実現した。この構造を30 nmの極浅接合まで適用することで、積み上げ構造のスケラビリティを実証した。

第4章では、ゲート電極の抵抗について検討した。ゲート電極の抵抗は、これまでデジタル応用の分野ではあまり着目されなかった。しかし、ゲート抵抗低減のためシリサイド構造を得るために用いられていたチタンシリサイドが細線効果を持っていたため、ゲート長が $0.2\ \mu\text{m}$ 以下になると寄生抵抗として問題が顕在化した。そこで、まず、この細線効果による抵抗値の増大は、ディープサブミクロン世代においてゲート遅延として顕在化することを示した。また、この課題に対して選択CVDプロセスを用いた自己整合によるT字型ゲートを形成することで、大きく抵抗低減ができることを明らかにした。ここで開発したプロセスは従来のシリサイドプロセスを踏襲しており、ゲート抵抗を低減しても微細化を阻害することはないことを示した。この構造を用いたデバイスによる回路遅延とモデルを比較検証することで、さらにチャネル長が短くなるとゲート抵抗の影響が、より支配的になることを明らかにした。

第5章では、SOI-MOSFETにおける基板の効果について検討した。現在、LSIの市場として携帯情報機器の比重が高まってきている。そのなかでMOSFETを高周波分野へ応用することが考えられる。この場合、駆動力に劣るMOSFETにとって基板での信号損失を抑えるためSOIを用いることが考えられる。そこで、基板による効果を明らかにするため、バルクとSOIおよびサスペンデッド構造による比較を行った。サスペンデッド構造は、SOIの埋め込み酸化膜を素子の加工中保護膜として使い、支持基板のシリコンをエッチングすることで中空に素子を形成したものである。この構造では、基板による影響を取り除くことができている。これらの特性を比較することで、SOI-MOSFETにおける基板の効果が、DIBLが埋め込み酸化膜および支持基板（中空）を介した容量結合モデルにより表されることを明らかにした。また、SOIおよびサスペンデッド構造により基板の損失を抑制することで、MOSFETおよびスパイラルインダクタが良好な高周波特性を示すことを明らかにした。

第6章において、ここまでの検討をもとに将来のMOSFET構造について検討した。MOSFETのスケーリングがディープサブテンスミクロン ($< 25\ \text{nm}$) まで進むと、

反転層容量などの本質的な問題がスケーリングの限界要因として出てくることが明らかである。まず、これまでのスケーリングに代え、低濃度（真性）チャンネルを用いることの有効性を明らかにした。第2章で示した検討をもとにダブルゲート型SOI-MOSFETを用いて低濃度（真性）チャンネルを持ったデバイスを形成できることを示した。ここではSiGe混晶をゲートに用いて仕事関数を制御することで、不純物濃度に依らずに閾値を設定できることを示し、低濃度（真性）チャンネルが実用的なものであることを明らかにした。また、第3章―第5章の検討結果から、自己整合プロセスによる積み上げ拡散層構造や、この積み上げ拡散層によるT字型ゲート電極構造を用いて新たに形成したFinFETにより、MOSFETのもつ高集積性や微細加工性が、ディープサブテンスミクロンまで維持されることを明らかにした。この構造では、電流駆動力は平面レイアウトではなくフィンの高さに依存しているため、微細化によらない特性向上が可能であることを明らかにした。

従来のスケーリング法では物理的な限界を迎えると考えられるディープサブテンスミクロン領域において、デバイスの性能向上を図るうえで新たな材料や動作原理に対する期待は益々強くなるものと考えられる。しかし、こうした研究開発には長い時間が求められるため、ロードマップに載った時間枠では実現が困難なことが考えられる。そこで、本論文中に示したように洗練された構造を用いることで、スケーリングによるMOSFETの性能向上を維持できることを明らかにした。

